

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003年5月8日 (08.05.2003)

PCT

(10) 国際公開番号
WO 03/038793 A1

(51) 国際特許分類: G09G 3/30, 3/20, H05B 33/14 (71) 出願人(米国を除く全ての指定国について): 株式会社半導体エネルギー研究所 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) [JP/JP]; 〒243-0036 神奈川県厚木市長谷398 Kanagawa (JP).

(21) 国際出願番号: PCT/JP02/11278

(22) 国際出願日: 2002年10月30日 (30.10.2002)

(25) 国際出願の言語: 日本語

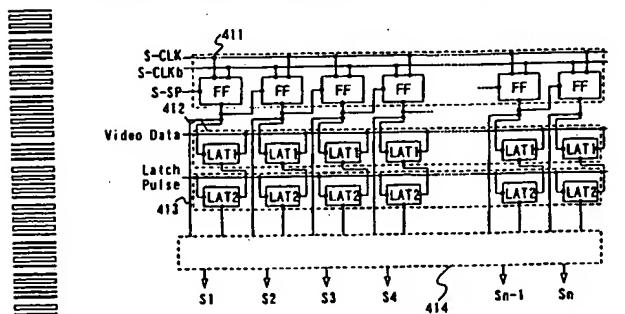
(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2001-333462 2001年10月30日 (30.10.2001) JP
特願2002-287997 2002年9月30日 (30.09.2002) JP (72) 発明者; よび
(75) 発明者/出願人(米国についてのみ): 木村 哲 (KIMURA,Hajime) [JP/JP]; 〒243-0036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP).

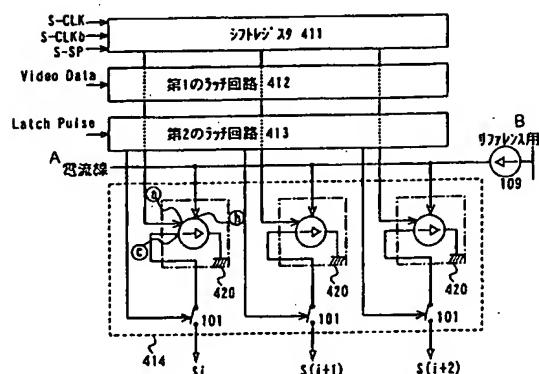
(74) 代理人: 大島陽一 (OSHIMA,Yoichi); 〒162-0825 東京都新宿区神楽坂6-42 富多川ビル7階 Tokyo (JP).
(統葉有)

(54) Title: SIGNAL LINE DRIVE CIRCUIT, LIGHT EMITTING DEVICE, AND ITS DRIVE METHOD

(54) 発明の名称: 信号線駆動回路、発光装置及びその駆動方法



(57) Abstract: A transistor generates a dispersion in characteristics. This signal line drive circuit has current source circuits and shift registers corresponding to the respective wirings. Each of the current source circuits is characterized by having a capacitor means which converts a supplied current into a voltage according to a sampling pulse to be supplied from the shift register and a supply means which supplies a current corresponding to the converted voltage.



A...CURRENT LINE
411...SHIFT REGISTER
412...FIRST LATCH CIRCUIT
413...SECOND LATCH CIRCUIT
B...FOR REFERENCE

WO 03/038793 A1

(統葉有)



(81) 指定国(国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

特許(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR), OAPI 特許(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 國際調査報告書
— 補正書

(84) 指定国(広域): ARIPO 特許(GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイドスノート」を参照。

(57) 要約:

トランジスタの特性にはバラツキが生じてしまう。本発明は、複数の配線の各々に対応した複数の電流源回路及びシフトレジスタを有する信号線駆動回路であつて、前記複数の電流源回路の各々は、前記シフトレジスタから供給されるサンプリングパルスに従つて、供給された電流を電圧に変換する容量手段と、前記変換された電圧に応じた電流を供給する供給手段を有することを特徴とする。

明細書

信号線駆動回路、発光装置及びその駆動方法

5 技術分野

本発明は信号線駆動回路の技術に関する。また前記信号線駆動回路を有する発光装置の技術に関する。

背景技術

10 近年、画像の表示を行う表示装置の開発が進められている。表示装置としては、液晶素子を用いて画像の表示を行う液晶表示装置が、高画質、薄型、軽量などの利点を活かして幅広く用いられている。
一方、自発光素子である発光素子を用いた発光装置の開発も近年進められている。
発光装置は、既存の液晶表示装置がもつ利点に加えて、動画表示に適した速い応答
15 速度、低電圧、低消費電力などの特徴を有し、次世代ディスプレイとして大きく注目されている。

発光装置に多階調の画像を表示する際の階調表現方法としては、アナログ階調方式とデジタル階調方式が挙げられる。前者のアナログ階調方式は、発光素子に流れる電流の大きさをアナログ的に制御して階調を得るという方式である。また後者の
20 デジタル階調方式は、発光素子がオン状態（輝度がほぼ100%の状態）と、オフ状態（輝度がほぼ0%の状態）の2つの状態のみによって駆動するという方式である。デジタル階調方式においては、このままでは2階調しか表示できないため、別の方式と組み合わせて多階調の画像を表示する方法が提案されている。

また画素の駆動方法としては、画素に入力する信号の種類で分類すると、電圧入
25 力方式と電流入力方式が挙げられる。前者の電圧入力方式は、画素に入力するビデオ信号（電圧）を駆動用素子のゲート電極に入力して、該駆動用素子を用いて発光

素子の輝度を制御する方式である。また後者の電流入力方式では、設定された信号電流を発光素子に流すことにより、該発光素子の輝度を制御する方式である。

ここで、電圧入力方式を適用した発光装置における画素の回路の一例とその駆動方法について、図16(A)を用いて簡単に説明する。図16(A)に示した画素5は、信号線501、走査線502、スイッチング用TFT503、駆動用TFT504、容量素子505、発光素子506、電源507、508を有する。

走査線502の電位が変化してスイッチング用TFT503がオンすると、信号線501に入力されているビデオ信号は、駆動用TFT504のゲート電極へと入力される。入力されたビデオ信号の電位に従って、駆動用TFT504のゲート・10ソース間電圧が決定し、駆動用TFT504のソース・ドレイン間を流れる電流が決定する。この電流は発光素子506に供給され、該発光素子506は発光する。発光素子を駆動する半導体素子としては、ポリシリコントランジスタが用いられる。しかし、ポリシリコントランジスタは、結晶粒界における欠陥に起因して、しきい値やオン電流等の電気的特性にバラツキが生じやすい。図16(A)に示した画素15において、駆動用TFT504の特性が画素毎にばらつくと、同じビデオ信号を入力した場合にも、それに応じた駆動用TFT504のドレイン電流の大きさが異なるため、発光素子506の輝度はばらつく。

上記問題を解決するためには、発光素子を駆動するTFTの特性に左右されず、所望の電流を発光素子に供給すればよい。この観点から、TFTの特性に左右され20ずに発光素子に供給する電流の大きさを制御できる電流入力方式が提案されている。

次いで、電流入力方式を適用した発光装置における画素の回路の一例とその駆動方法について、図16(B)、17を用いて簡単に説明する。図16(B)に示した画素は、信号線601、第1～第3の走査線602～604、電流線605、TFT606～609、容量素子610、発光素子611を有する。電流源回路612は、各信号線(各列)に配置される。

図17を用いて、ビデオ信号の書き込みから発光までの動作について説明する。

図17中、各部を示す図番は、図16に準ずる。図17（A）～（C）は、電流の経路を模式的に示している。図17（D）は、ビデオ信号の書き込み時における各経路を流れる電流の関係を示し、図17（E）は、同じくビデオ信号の書き込み時に容量素子610に蓄積される電圧、つまりTFT608のゲート・ソース間電圧を示す。

まず、第1及び第2の走査線602、603にパルスが入力され、TFT606、607がオンする。このとき、信号線601を流れる電流は信号電流 I_{data} と表記する。信号線601には、信号電流 I_{data} が流れているので、図17（A）に示すように、画素内では、電流の経路は I_1 と I_2 とに分かれて流れる。これらの関係を図17（D）に示すが、 $I_{data} = I_1 + I_2$ であることは言うまでもない。

TFT606がオンした瞬間には、まだ容量素子610には電荷が保持されていないため、TFT608はオフである。よって、 $I_2 = 0$ となり、 $I_{data} = I_1$ となる。この間は、容量素子610の両電極間に電流が流れ、該容量素子610において電荷の蓄積が行われている。

そして徐々に容量素子610に電荷が蓄積され、両電極間に電位差が生じ始める（図17（E））。両電極の電位差が V_{th} となると（図17（E）、A点）、TFT608がオンして、 I_2 が生ずる。前述したように、 $I_{data} = I_1 + I_2$ であるので、 I_1 は次第に減少するが、依然電流は流れしており、容量素子610にはさらに電荷の蓄積が行われる。

容量素子610では、その両電極の電位差、つまりTFT608のゲート・ソース間電圧が所望の電圧になるまで電荷の蓄積が続く。つまりTFT608が I_{data} の電流を流すことが出来るだけの電圧になるまで電荷の蓄積が続く。やがて電荷の蓄積が終了する（図17（E）、B点）と、電流 I_2 は流れなくなる。また、TFT608は完全にオンしているので、 $I_{data} = I_2$ となる（図17（B））。以上の動作により、画素に対する信号の書き込み動作が完了する。最後に第1及び第2の走

査線 602、603 の選択が終了し、TFT 606、607 がオフする。

続いて、第 3 の走査線 604 にパルスが入力され、TFT 609 がオンする。容量素子 610 には、先ほど書き込んだ VGS が保持されているため、TFT 608 はオンしており、電流線 605 から I_{data} に等しい電流が流れる。これにより発光

5 素子 611 が発光する。このとき、TFT 608 が飽和領域において動作するようにしておけば、TFT 608 のソース・ドレイン間電圧が変化したとしても、発光素子 611 に流れる発光電流 I_{EL} は変わりなく流れる。

10 このように電流入力方式とは、TFT 609 のドレイン電流が電流源回路 612 で設定された信号電流 I_{data} と同じ電流値になるように設定し、このドレイン電流 15 に応じた輝度で発光素子 611 が発光を行う方式をいう。上記構成の画素を用いることで、画素を構成する TFT の特性バラツキの影響を抑制して、所望の電流を発光素子に供給することが出来る。

但し、電流入力方式を適用した発光装置では、ビデオ信号に応じた信号電流を正確に画素に入力する必要がある。しかし、信号電流を画素に入力する役目を担う信号線駆動回路（図 16 では電流源回路 612 に相当）をポリシリコントランジスタで形成すると、その特性にバラツキが生じるため、該信号電流にもバラツキが生じてしまう。

つまり電流入力方式を適用した発光装置では、画素及び信号線駆動回路を構成する TFT の特性バラツキの影響を抑制する必要がある。しかし図 16 (B) に示す構成の画素を用いることによって、画素を構成する TFT の特性バラツキの影響を抑制することは出来るが、信号線駆動回路を構成する TFT の特性バラツキの影響を抑制することは困難となる。

そこで、電流入力方式の画素を駆動する信号線駆動回路に配置される電流源回路の構成とその動作について図 18 を用いて簡単に説明する。

25 図 18 (A) (B) における電流源回路 612 は、図 16 (B) で示した電流源回路 612 に相当する。電流源回路 612 は、定電流源 555～558 を有する。

定電流源 555～558は、端子 551～554を介して入力される信号により制御される。定電流源 555～558から供給される電流の大きさは各々異なっており、その比は 1：2：4：8となるように設定されている。

図 18 (B) は電流源回路 612 の回路構成を示した図であり、図中の定電流源 555～558 はトランジスタに相当する。トランジスタ 555～558 のオン電流は、 L (ゲート長) / W (ゲート幅) 値の比 (1：2：4：8) に起因して 1：2：4：8 となる。そうすると電流源回路 612 は、 $2^4 = 16$ 段階で電流の大きさを制御することが出来る。つまり 4 ビットのデジタルビデオ信号に対して、16 階調のアナログ値を持つ電流を出力することが出来る。なお、この電流源回路 612 は、
10 ポリシリコントランジスタで形成され、画素部と同一基板上に一体形成される。

このように、従来において、電流源回路を内蔵した信号線駆動回路は提案されている。(例えば、非特許文献 1、2 参照)

また、デジタル階調方式においては、多階調の画像を表現するためにデジタル階調方式と面積階調方式とを組み合わせた方式(以下面積階調方式と表記)やデジタル階調方式と時間階調方式とを組み合わせた方式(以下時間階調方式と表記)がある。面積階調方式とは、一画素を複数の副画素に分割し、それぞれの副画素で発光、又は非発光を選択することで、一画素において発光している面積と、それ以外の面積との差をもって階調を表現する方式である。また時間階調方式とは、発光素子が発光している時間を制御することにより、階調表現を行う方式である。具体的には、
20 1 フレーム期間を長さの異なる複数のサブフレーム期間に分割し、各期間での発光素子の発光、又は非発光を選択することで、1 フレーム期間内で発光した時間の長さの差をもって階調を表現する。デジタル階調方式においては、多階調の画像を表現するためにデジタル階調方式と時間階調方式とを組み合わせた方式(以下時間階調方式と表記)が提案されている。(例えば、特許文献 1 参照)
25 [非特許文献 1]

服部励治、他 3 名、「信学技報」、ED2001-8、電流指定型ポリシリコン TFT アクテ

イブマトリクス駆動有機 LED ディスプレイの回路シミュレーション、p. 7-1

4

〔非特許文献 2〕

Reiji H et al.、「AM-LCD'01」、OLED-4, p. 223-226

5 〔特許文献 1〕

特開2001-5426号公報

発明の開示

上述した電流源回路 612 は、L/W 値を設計することによって、トランジスタの
10 オン電流を 1 : 2 : 4 : 8 になるように設定している。しかしトランジスタ 555
～558 は、作製工程や使用する基板の相違によって生じるゲート長、ゲート幅及
びゲート絶縁膜の膜厚のバラツキの要因が重なって、しきい値や移動度にバラツキ
が生じてしまう。そのため、トランジスタ 555～558 のオン電流を設計通りに
正確に 1 : 2 : 4 : 8 にすることは困難である。つまり列によって、画素に供給す
15 る電流値にバラツキが生じてしまう。

トランジスタ 555～558 のオン電流を設計通りに正確に 1 : 2 : 4 : 8 にす
るためには、全ての列にある電流源回路の特性を、全て同一にする必要がある。つ
まり、信号線駆動回路の有する電流源回路のトランジスタの特性を、全て同一にす
る必要があるが、その実現は非常に困難である。

20 本発明は上記の問題点を鑑みてなされたものであり、TFT の特性バラツキの影
響を抑制して、所望の信号電流を画素に供給することができる信号線駆動回路を提
供する。さらに本発明は、TFT の特性バラツキの影響を抑制した回路構成の画素
を用いることにより、画素及び駆動回路の両方を構成する TFT の特性バラツキの
影響を抑制して、所望の信号電流を発光素子に供給することができる発光装置を提
25 供する。

本発明は、TFT の特性バラツキの影響を抑制して、所望の一定電流を流す電気

回路（電流源回路）を設けた構成の信号線駆動回路を提供する。さらに本発明は、前記信号線駆動回路を具備した発光装置を提供する。

本発明は各列（各信号線など）に電流源回路が配置された信号線駆動回路を提供する。

5 本発明の信号線駆動回路では、信号線駆動回路が有する各信号線（各列）に配置された電流源回路において、リファレンス用定電流源を用いて、所定の信号電流を供給するように設定される。信号電流が設定された電流源回路では、リファレンス用定電流源に比例した電流を供給する能力を有する。その結果、前記電流源回路を用いることにより、信号線駆動回路を構成するTFTの特性バラツキの影響を抑制

10 することが出来る。そして、設定された信号電流を電流源回路から画素に供給するか否かを決定するスイッチは、ビデオ信号により制御される。

つまり、ビデオ信号に比例した信号電流を信号線に流す必要がある場合は、電流源回路から信号線駆動回路に信号電流を供給するか否かを決定するスイッチが配置され、該スイッチはビデオ信号により制御される。ここでは、電流源回路から信号線駆動回路に信号電流を供給するか否かを決定するスイッチのことを信号電流制御スイッチと呼ぶ。

なお、リファレンス用定電流源は、基板上に信号線駆動回路と一体形成してもよい。または基板の外部にIC等を配置し、リファレンス用電流として一定の電流を入力してもよい。

20 本発明の信号線駆動回路の概略について図1、2を用いて説明する。図1、2には、 i 列目から $(i+2)$ 列目の3本の信号線の周辺の信号線駆動回路が示されている。まず、信号線にビデオ信号に比例した信号電流を流す必要がある場合について述べる。

図1において、信号線駆動回路403は各信号線（各列）に電流源回路420が配置されている。電流源回路420は、端子a、端子b及び端子cを有する。端子aには設定信号が入力される。端子bには電流線に接続されたリファレンス用定電

流源 109 から電流（リファレンス用電流）が供給される。また端子 c は、スイッチ 101（信号電流制御スイッチ）を介して電流源回路 420 に保持された信号を出力する。つまり、電流源回路 420 は端子 a から入力される設定信号により制御され、端子 b から電流（リファレンス用電流）が供給され、端子 c から該電流（リファレンス用電流）に比例した電流（信号電流）が出力される。スイッチ 101（信号電流制御スイッチ）は、電流源回路 420 と画素の間に配置され、前記スイッチ 101（信号電流制御スイッチ）のオン又はオフは、ビデオ信号により制御される。

次いで図 1 とは異なる構成の本発明の信号線駆動回路について図 2 を用いて説明する。図 2において、信号線駆動回路 403 はそれぞれの信号線ごと（各列）に 10 2つ以上の電流源回路が設けられている。そして、電流源回路 420 は複数の電流源回路を有する。そしてここでは仮に各列に 2つの電流源回路が配置されているとし、電流源回路 420 は第 1 電流源回路 421 及び第 2 電流源回路 422 を有するとする。第 1 電流源回路 421 及び第 2 電流源回路 422 は、端子 a、端子 b、端子 c 及び端子 d を有する。端子 a には設定信号が入力される。端子 b には電流線に接続されたリファレンス用定電流源 109 から電流（リファレンス用電流）が供給される。また端子 c は、スイッチ 101（信号電流制御スイッチ）を介して第 1 電流源回路 421 及び第 2 電流源回路 422 に保持された信号（信号電流）を出力する。端子 d からは、制御信号が入力される。つまり電流源回路 420 は、端子 a から入力される設定信号及び端子 d から入力される制御信号により制御され、端子 b から電流（リファレンス用電流）が供給され、端子 c から該電流（リファレンス用電流）に比例した電流（信号電流）が出力される。スイッチ 101（信号電流制御スイッチ）は、電流源回路 420 と画素の間に配置され、前記スイッチ 101（信号電流制御スイッチ）のオン又はオフは、ビデオ信号により制御される。

電流源回路 420 に対して信号電流の書き込みを終了させる（信号電流を設定する、リファレンス用電流によって信号電流を設定する、電流源回路 420 が信号電流を出力できるように定める）動作を設定動作と呼び、信号電流を画素に入力する

動作(電流源回路420が信号電流を出力する動作)を入力動作と呼ぶことにする。

図2において、第1電流源回路421及び第2電流源回路422に入力される制御信号は互いに異なっているため、第1電流源回路421及び第2電流源回路422は、一方は設定動作を行い、他方は入力動作を行う。これにより、各列で同時に2つの動作を行うことが出来る。

なお電流源回路の設定動作は任意の時間に任意のタイミングで任意の回数だけ行えばよい。また図1、2に示した信号線駆動回路では、ビデオ信号に比例した信号電流を信号線に供給する場合について述べた。但し、本発明はこれに限定されない。例えば、信号線とは異なる別の配線に電流を供給する必要がある。この場合にはスイッチ101(信号電流制御スイッチ)を配置する必要はない。このスイッチを配置しない場合について、図1については図34、図2については図35に示す。この場合には、電流は画素用電流線に出力される。信号線にはビデオ信号が出力される。

本発明では、1つのシフトレジスタが2つの役割を有する。1つの役割は電流源回路を制御する役割である。もう1つの役割はビデオ信号を制御する回路、つまり画像を表示するために動作する回路を制御する役割であり、例えばラッチ回路、サンプリングスイッチ及びスイッチ101(信号電流制御スイッチ)などを制御する役割である。上記構成の本発明では、電流源回路を制御する回路と、ビデオ信号を制御する回路の各々の回路の配置が不要となるため、配置する回路の素子数を削減することが可能となり、さらに素子数を削減することができるため、レイアウト面積を縮小することができる。そうすると、作製工程における歩留まりが向上し、コストダウンを実現することができる。またレイアウト面積を小さくできると、狭額縁化できるため、筐体の小型化を実現することができる。

なおシフトレジスタはフリップフロップ回路やデコーダ回路等により構成される。シフトレジスタがフリップフロップ回路により構成される場合には、通常複数の配線は1列目から最終列目まで順に選択される。一方、シフトレジスタがデコー

グ回路等により構成される場合には、複数の配線は1列目から最終列目まで順に選択されるか又はランダムに選択される。シフトレジスタは、その用途に従って、複数の配線を順に選択できる機能を有する構成、又はランダムに選択できる機能を有する構成のどちらかを選択するとよい。

5 但し、複数の配線をランダムに選択できる機能を有する構成を選択した場合には、電流源回路に供給する設定信号もランダムに出力できる。従って、電流源回路の設定動作も、1列目から最終列目まで順に行うのではなく、ランダムに行うことができる。そうすると、電流源回路が設定動作を行う期間を自由に設定することができる。また、電流源回路の容量素子に保持された電荷の漏れの影響を目立たせなくす
10 ることができると、電流源回路の設定動作に伴う不具合があった場合、その不具合を目立たなくさせることができるようになる。

なお、本発明において、TFTは、通常の単結晶を用いたトランジスタや、SOIを用いたトランジスタ、有機トランジスタなどに置き換えて適用することができる。

15 本発明は上記のような電流源回路を有する信号線駆動回路を提供する。さらに本発明は、TFTの特性バラツキの影響を抑制した回路構成の画素を用いることにより、画素及び駆動回路の両方を構成するTFTの特性バラツキの影響を抑制し、また所望の信号電流を発光素子に供給することができる発光装置を提供する。

20 図面の簡単な説明

図1は、信号線駆動回路の図。

図2は、信号線駆動回路の図。

図3は、信号線駆動回路の図(1ビット)。

図4は、信号線駆動回路の図(1ビット)。

25 図5は、信号線駆動回路の図(1ビット)。

図6は、信号線駆動回路の図(1ビット)。

図 7 は、信号線駆動回路の図（3 ビット）。

図 8 は、信号線駆動回路の図（3 ビット）。

図 9 は、タイミングチャートを示す図。

図 10 は、タイミングチャートを示す図。

5 図 11 は、タイミングチャートを示す図。

図 12 は、発光装置の外観を示す図。

図 13 は、発光装置の画素の回路図。

図 14 は、本発明の駆動方法を説明する図。

図 15 は、本発明の発光装置を示す図。

10 図 16 は、発光装置の画素の回路図。

図 17 は、発光装置の画素の動作を説明する図。

図 18 は、電流源回路の図。

図 19 は、電流源回路の動作を説明する図。

図 20 は、電流源回路の動作を説明する図。

15 図 21 は、電流源回路の動作を説明する図。

図 22 は、本発明が適用される電子機器を示す図。

図 23 は、電流源回路の回路図。

図 24 は、電流源回路の回路図。

図 25 は、電流源回路の回路図。

20 図 26 は、信号線駆動回路の図（3 ビット）。

図 27 は、信号線駆動回路の図（3 ビット）。

図 28 は、電流源回路の駆動方法を説明するタイミングチャート。

図 29 は、信号線駆動回路の図（3 ビット）。

図 30 は、リファレンス用定電流源の回路図。

25 図 31 は、リファレンス用定電流源の回路図。

図 32 は、リファレンス用定電流源の回路図。

図33は、リファレンス用定電流源の回路図。

図34は、信号線駆動回路の図。

図35は、信号線駆動回路の図。

図36は、電流源回路の回路図。

5 図37は、電流源回路の回路図。

図38は、電流源回路の回路図。

図39は、電流源回路の回路図。

図40は、電流源回路の回路図。

図41は、電流源回路の回路図。

10 図42は、信号線駆動回路の図。

図43は、シフトレジスタの図。

図44は、シフトレジスタとタイミングチャートの図。

図45は、タイミングチャートを示す図。

図46は、シフトレジスタの図。

15 図47は、信号線駆動回路の図。

図48は、信号線駆動回路の図。

図49は、信号線駆動回路の図。

図50は、信号線駆動回路の図。

図51は、信号線駆動回路の図。

20 図52は、信号線駆動回路の図。

図53は、信号線駆動回路の図。

図54は、信号線駆動回路の図。

図55は、信号線駆動回路の図。

図56は、信号線駆動回路の図。

25 図57は、信号線駆動回路の図。

図58は、信号線駆動回路の図。

図 5 9 は、信号線駆動回路の図。

図 6 0 は、信号線駆動回路の図。

図 6 1 は、信号線駆動回路の図。

図 6 2 は、信号線駆動回路の図。

5 図 6 3 は、信号線駆動回路の図。

図 6 4 は、信号線駆動回路の図。

図 6 5 は、信号線駆動回路の図。

図 6 6 は、信号線駆動回路の図。

図 6 7 は、信号線駆動回路の図。

10 図 6 8 は、信号線駆動回路の図。

図 6 9 は、信号線駆動回路の図。

図 7 0 は、信号線駆動回路の図。

図 7 1 は、画素の回路図。

図 7 2 は、タイミングチャートを示す図。

15 図 7 3 は、タイミングチャートを示す図。

図 7 4 は、タイミングチャートを示す図。

図 7 5 は、タイミングチャートを示す図。

図 7 6 は、タイミングチャートを示す図。

図 7 7 は、タイミングチャートを示す図。

20 図 7 8 は、タイミングチャートを示す図。

図 7 9 は、タイミングチャートを示す図。

図 8 0 は、タイミングチャートを示す図。

図 8 1 は、タイミングチャートを示す図。

図 8 2 は、タイミングチャートを示す図。

25 図 8 3 は、タイミングチャートを示す図。

図 8 4 は、タイミングチャートを示す図。

図85は、タイミングチャートを示す図。

図86は、タイミングチャートを示す図。

図87は、電流源回路のレイアウト図。

図88は、電流源回路の回路図。

5

発明を実施するための最良の形態

(実施の形態1)

本実施の形態では、本発明の信号線駆動回路に具備される電流源回路の構成とその動作について説明する。

10 本発明では、端子aから入力される信号とは、シフトレジスタから供給されるサンプリングパルスに相当する。しかし電流源回路の構成や駆動方式などによっては、サンプリングパルスは直接入力されず、設定制御線（図1には図示せず）に接続された論理演算子の出力端子から供給される信号が入力される。前記論理演算子の2つの入力端子は、一方はサンプリングパルス、他方は設定制御線から供給される信号が入力される。つまり電流源回路420の設定は、サンプリングパルス、又は設定制御線に接続された論理演算子の出力端子から供給される信号のタイミングに従って行われる。

なおシフトレジスタとは、フリップフロップ回路（FF）等を複数用いた構成を有するものである。そして前記シフトレジスタにクロック信号（S-CLK）、スタートパルス（S-SP）及びクロック反転信号（S-CLKb）が入力されて、これらの信号のタイミングに従って、順次出力される信号をサンプリングパルスとよぶ。

また前記論理演算子の2つの入力端子には、一方はサンプリングパルスが入力され、他方は設定制御線から供給される信号が入力される。論理演算子では、入力された2つの信号の論理演算を行って、出力端子から信号を出力する。仮に論理演算子がNANDであるとすると、図14（C）に示すタイミングチャートにおいて、期間Tbにおいては、制御線からHighの信号をNANDに入力し、その他の期間

においては、制御線から Low の信号を NAND に入力するとよい。

シフトレジスタはフリップフロップ回路やデコーダ回路等により構成される。シフトレジスタがフリップフロップ回路により構成される場合には、通常複数の配線は1列目から最終列目まで順に選択される。一方、シフトレジスタがデコーダ回路等により構成される場合には、複数の配線は1列目から最終列目まで順に選択されるか又はランダムに選択される。シフトレジスタは、その用途に従って、複数の配線を順に選択できる機能を有する構成、又はランダムに選択できる機能を有する構成のどちらかを選択するとよい。

図23 (A)において、スイッチ104、105a、116と、トランジスタ102 (nチャネル型)と、該トランジスタ102のゲート・ソース間電圧VGSを保持する容量素子103とを有する回路が電流源回路420に相当する。

図23 (A)に示す電流源回路では、端子aを介して入力されるサンプリングパルスによってスイッチ104、スイッチ105aがオンとなる。そうすると、電流線に接続されたリファレンス用定電流源109 (以下定電流源109と表記)から、端子bを介して電流 (リファレンス用電流)が供給され、容量素子103に所定の電荷が保持される。そして定電流源109から流される電流 (リファレンス用電流)がトランジスタ102のドレイン電流と等しくなるまで、容量素子103に電荷が保持される。

次いで、端子aを介して入力される信号により、スイッチ104、105aがオフになる。そうすると、容量素子103には所定の電荷が保持されているため、トランジスタ102は電流 (リファレンス用電流)に応じた大きさの電流を流す能力をもつことになる。そして仮にスイッチ101 (信号電流制御スイッチ)、116が導通状態になると、端子cを介して信号線に接続された画素に電流が流れる。これは、トランジスタ102のゲート電圧は容量素子103により所定のゲート電圧に設定されており、該トランジスタ102のドレイン領域には電流 (リファレンス用電流)に応じたドレイン電流が流れる。そのため、信号線駆動回路を構成するト

ランジスタの特性パラツキに左右されずに、画素に入力される電流の大きさを制御できる。

なお、スイッチ 101（信号電流制御スイッチ）が配置されていない場合には、
スイッチ 116 が導通状態になると、端子 c を介して信号線に接続された画素に電
5 流が供給される。

なおスイッチ 104、105a の接続構成は図 23 (A) に示す構成に限定され
ない。例えば、スイッチ 104 の一方を端子 b に接続し、他方をトランジスタ 10
2 のゲート電極に接続し、更にスイッチ 105a の一方をスイッチ 104 を介して
端子 b に接続し、他方をスイッチ 116 に接続する構成でもよい。

10 或いは、スイッチ 104 は端子 b とトランジスタ 102 のゲート電極の間に配置
し、スイッチ 105a は端子 b とスイッチ 116 の間に配置してもよい。つまり、
電流源回路に配置するスイッチの個数、配線の本数及びその接続は特に限定され
ない。但し、図 36 (A) を参照すると、設定動作時には図 36 (A1) のように接
続され、入力動作時には図 36 (A2) のように接続されるようにスイッチを配置
15 するとよい。

なお図 23 (A) に示す電流源回路では、信号を設定する動作（設定動作）と、
信号を画素に入力する動作（入力動作）を同時に行うことは出来ない。

図 23 (B) において、スイッチ 124、スイッチ 125 と、トランジスタ 12
2 (n チャネル型) と、該トランジスタ 122 のゲート・ソース間電圧 VGS を保
20 持する容量素子 123 と、トランジスタ 126 (n チャネル型) とを有する回路が
電流源回路 420 に相当する。

トランジスタ 126 はスイッチ又は電流源用トランジスタの一部のどちらかと
して機能する。

図 23 (B) に示す電流源回路では、端子 a を介して入力されるサンプリングパ
25 ルスによってスイッチ 124、スイッチ 125 がオンとなる。そうすると、電流線
に接続された定電流源 109 から、端子 b を介して電流（リファレンス用電流）が

供給され、容量素子123に所定の電荷が保持される。そして定電流源109から流される電流（リファレンス用電流）がトランジスタ122のドレイン電流と等しくなるまで、容量素子123に電荷が保持される。なおスイッチ124がオンとなると、トランジスタ126のゲート・ソース間電圧VGSが0Vとなるので、トランジスタ126はオフになる。

次いで、端子aを介して入力される信号により、スイッチ124、125がオフになる。そうすると、容量素子123には所定の電荷が保持されているため、トランジスタ122は電流（リファレンス用電流）に応じた大きさの電流を流す能力をもつことになる。そして仮にスイッチ101（信号電流制御スイッチ）が導通状態になると、端子cを介して信号線に接続された画素に電流が供給される。これは、トランジスタ122のゲート電圧は、容量素子123により所定のゲート電圧に設定されており、該トランジスタ122のドレイン領域には信号電流I_{data}に応じたドレイン電流が流れることである。そのため、信号線駆動回路を構成するトランジスタの特性バラツキに左右されずに、画素に入力される電流の大きさを制御できる。

なおスイッチ124、125がオフすると、トランジスタ126のゲートとソースは同電位ではなくなる。その結果、容量素子123に保持された電荷がトランジスタ126の方にも分配され、前記トランジスタ126が自動的にオンになる。ここで、トランジスタ122、126は直列に接続され、且つ互いのゲートが接続されている。従って、トランジスタ122、126はマルチゲートのトランジスタとして動作する。つまり、設定動作時と入力動作時とでは、トランジスタのゲート長Lが異なることになる。従って、設定動作時に端子bから供給される電流値は、入力動作時に端子cから供給される電流値よりも大きくすることが出来る。そのため、端子bとリファレンス用定電流源との間に配置された様々な負荷（配線抵抗、交差容量など）をより早く充電することができる。従って、設定動作を素早く完了させることができる。なお、スイッチ101（信号電流制御スイッチ）が配置されていない場合は、トランジスタ126が導通状態になると、端子cを介して信号線に接

続された画素に電流が流れる。

また、電流源回路に配置するスイッチの個数、配線の本数及びその接続は特に限定されない。つまり、図36(B)を参照すると、設定動作時には図36(B1)のように接続され、入力動作時には図36(B2)のように接続されるように、配
5 線やスイッチを配置するとよい。特に、図36(B2)においては、容量素子107に保持された電荷が漏れないようになっていればよい。

なお図23(B)に示す電流源回路では、電流源回路が信号電流を流す能力を有するように設定する設定動作と、該信号電流を画素に供給する入力動作(画素への電流の出力)を同時に行うこととは出来ない。

10 図23(C)において、スイッチ108、スイッチ110、トランジスタ105
b、106(nチャネル型)、該トランジスタ105b、106のゲート・ソース
間電圧VGSを保持する容量素子107とを有する回路が電流源回路420に相当
する。

図23(C)に示す電流源回路では、端子aを介して入力されるサンプリングパ
15 ルスによってスイッチ108、スイッチ110がオンとなる。そうすると電流線に接続された定電流源109から、端子bを介して電流(リファレンス用電流)が供給され、容量素子107に所定の電荷が保持される。そして定電流源109から流される電流(リファレンス用電流)がトランジスタ105bのドレイン電流と等しくなるまで、容量素子107に電荷が保持される。このとき、トランジスタ105
20 b及びトランジスタ106のゲート電極は互いに接続されているので、トランジス
タ105b及びトランジスタ106のゲート電圧は、容量素子107によって保持
されている。

次いで、端子aを介して入力される信号により、スイッチ108、110がオフになる。このとき、容量素子107には所定の電荷が保持されているため、トラン
25 ジスタ106は電流(リファレンス用電流)に応じた大きさの電流を流す能力を有する。そして仮にスイッチ101(信号電流制御スイッチ)が導通状態になると、

端子cを介して信号線に接続された画素に電流が供給される。これは、トランジスタ106のゲート電圧は、容量素子107により所定のゲート電圧に設定されており、該トランジスタ106のドレイン領域には電流（リファレンス用電流）に応じたドレイン電流が流れるためである。そのため、信号線駆動回路を構成するトランジスタの特性バラツキに左右されずに、画素に入力される電流の大きさを制御できる。

なお、スイッチ101（信号電流制御スイッチ）が配置されていない場合は、端子cを介して信号線に接続された画素に電流が流れる。

このとき、トランジスタ106のドレイン領域に信号電流に応じたドレイン電流を正確に流すためには、トランジスタ105b及び106の特性が同じであることが必要となる。より詳しくは、トランジスタ105b及び106の移動度、しきい値などの値が同じであることが必要となる。また図23（C）では、トランジスタ105b及び106のW/Lの値を任意に設定して、定電流源109から供給される電流に比例した電流を画素に供給するようにしてもよい。

またトランジスタ105b及び106のうち、定電流源109に接続されたトランジスタのW/Lを大きく設定することで、該定電流源109から大電流を供給して、書き込み速度を早くすることが出来る。

なお図23（C）に示す電流源回路では、電流源回路が信号電流を流す能力を有するように設定する設定動作と、該信号電流を画素に入力する入力動作を同時にを行うことが出来る。

図23（D）（E）に示す電流源回路は、スイッチ110の接続が異なる以外は、図23（C）の電流源回路と同じ構成を有する。また図23（D）（E）に示す電流源回路420の動作は、図23（C）の電流源回路420の動作に準ずるので、ここでは説明を省略する。

なお、電流源回路に配置するスイッチの個数、配線の本数及びその接続は特に限定されない。つまり、図36（C）を参照すると、設定動作時には図36（C1）

のように接続され、入力動作時には図36(C2)のように接続されるように、配線やスイッチを配置するとよい。特に、図36(C2)においては、容量素子107に保持された電荷が漏れないようになっていればよい。

図37(A)において、スイッチ195b、195c、195d、195f、トランジスタ195a、容量素子195eを有する回路が電流源回路に相当する。図37(A)に示す電流源回路では、端子aを介して入力される信号によりスイッチ195b、c、d、fがオンになる。そうすると、端子bを介して、電流線に接続された定電流源109から電流が供給され、定電流源109から供給される信号電流とトランジスタ195aのドレイン電流が等しくなるまで、容量素子195eに所定の電荷が保持される。

次いで、端子aを介して入力される信号により、スイッチ195b、195c、195d、195fがオフになる。このとき、容量素子195eには所定の電荷が保持されているため、トランジスタ195aは信号電流に応じた大きさの電流を流す能力を有する。これは、トランジスタ195aのゲート電圧は、容量素子195eにより所定のゲート電圧に設定されており、該トランジスタ195aのドレイン領域には電流(リファレンス用電流)に応じたドレイン電流が流れるためである。この状態において、端子cを介して外部に電流が供給される。なお図37(A)に示す電流源回路では、電流源回路が信号電流を流す能力を有するように設定する設定動作と、該信号電流を画素に入力する入力動作を同時に行うこととは出来ない。但し、端子aを介して入力される信号により制御されるスイッチがオンであり、且つ端子cから電流が流れないようになっているときは、端子cと他の電位の配線とを接続する必要がある。その配線の電位をVaとすると、該Vaは、端子bから流れてくる電流をそのまま流せるような電位であれば、どのような値でもよい。一例としては、電源電圧Vddなどでよい。

なおスイッチの個数、配線の本数及びその接続は特に限定されない。つまり、図37(B)(C)を参照すると、設定動作時には図37(B1)(C1)のように接続

され、入力動作時には図37(B2)(C2)のように接続されるように、配線やスイッチを配置するとよい。

なお図23(A)、(C)～(E)の電流源回路420において、電流の流れる方向(画素から信号線駆動回路への方向)は同じであって、トランジスタ102、105b、106の導電型をpチャネル型にしてもよい。

そこで図24(A)には、電流の流れる方向(画素から信号線駆動回路への方向)は同じであって、図23(A)に示すトランジスタ102をpチャネル型にしたときの回路図を示す。図23(A)では、容量素子をゲート・ソース間に配置することにより、ソースの電位は変化しても、ゲート・ソース間電圧は保持することが出来る。また図24(B)～(D)には、電流の流れる方向(画素から信号線駆動回路への方向)は同じであって、図23(C)～(E)に示すトランジスタ105b、106をpチャネル型にした回路図を示す。

図38(A)には、図37に示した構成において、トランジスタ195aをpチャネル型にした場合を示す。図38(B)には、図23(B)に示した構成において、トランジスタ122、126をpチャネル型にした場合を示す。

図40において、スイッチ104、116、トランジスタ102、容量素子103などを有する回路が電流源回路に相当する。

図40(A)は、図23(A)の一部を変更した回路に相当する。図40(A)に示す電流源回路では、電流源の設定動作時と入力動作時で、トランジスタのゲート幅Wが異なる。つまり、設定動作時には図40(B)のように接続され、一方、入力動作時には図40(C)のように接続され、ゲート幅Wが異なる。従って、設定動作時に端子bから供給される電流値は、入力動作時に端子cから供給される電流値よりも大きくすることが出来る。そのため、端子bとリファレンス用定電流源との間に配置された様々な負荷(配線抵抗、交差容量など)を、より早く充電することができる。従って、設定動作を素早く完了させることができる。なお、図40では、図23(A)の一部を変更した回路について示した。しかし、図23のほ

かの回路や図24、図37、図39、図38などの回路にも、容易に適用できる。

なお、図23、図24、図37に示した電流源回路では、電流は画素から信号線駆動回路の方向へ流れる。しかし電流は画素から信号線駆動回路の方向へ流れるだけでなく、信号線駆動回路から画素の方向へ流れる場合もある。電流がどちらの方

5 向に流れるかは、画素の構成に依存する。電流が信号線駆動回路から画素の方向へ流れる場合には、図23において、Vss（低電位電源）をVdd（高電位電源）に変更して、トランジスタ102、105b、106、122、126をpチャネル型とすればよい。また図24において、VssをVddに変更して、トランジスタ102、
105b、106をnチャネル型とすればよい。

10 なお、上記の全ての電流源回路において、配置されている容量素子は、トランジスタのゲート容量などを代用することで、配置しなくてもよい。

図23（A）～（E）、図38（A）（B）の回路は、設定動作時には図39（A
1）～（D1）のように接続され、入力動作時には図39（A2）～（D2）のよ
うに接続されるように、配線やスイッチを配置するとよい。スイッチの個数や配線
15 の本数は特に限定されない。

以下には、図23（A）及び図24（A）、図23（C）～（E）及び図24（B）
～（D）の電流源回路の動作について詳しく説明する。まず、図23（A）及び図
24（A）の電流源回路の動作について図19を用いて説明する。

図19（A）～（C）は、電流が回路素子間を流れていく経路を模式的に示して
20 いる。図19（D）は信号電流を電流源回路に書き込むときの各経路を流れる電流
と時間の関係、図19（E）は信号電流を電流源回路に書き込むときに容量素子1
6に蓄積される電圧、つまりトランジスタ15のゲート・ソース間電圧と時間の関
係を示している。図19（A）～（C）に示す回路図において、11はリファレン
ス用定電流源（以下定電流源と表記）、スイッチ12～14はスイッチング機能を
25 有する素子、15はトランジスタ、16は容量素子、17は画素である。そして、
スイッチ14、トランジスタ15、容量素子16を有する回路が電流源回路20に

相当する。

トランジスタ15のソース領域はVss、ドレイン領域は定電流源11に接続される。容量素子16の一方の電極はVss(トランジスタ15のソース)、他方の電極はスイッチ14(トランジスタ15のゲート)に接続される。容量素子16は、トランジスタ15のゲート・ソース間電圧を保持する役目を担う。

5 トランジスタ15のゲート・ソース間電圧を保持する役目を担う。

画素17は、発光素子やトランジスタなどにより構成される。発光素子は、陽極及び陰極、並びに前記陽極と前記陰極との間に挟まれた発光層を有する。発光層は、公知の発光材料を用いて作成され、また、発光層は単層構造と積層構造の二つの構造があるが、どちらの構造を用いててもよい。さらに発光層におけるルミネッセンス

10 には、一重項励起状態から基底状態に戻る際の発光(蛍光)と、三重項励起状態から基底状態に戻る際の発光(リン光)とがあるが、一方又は両方の発光を用いてよい。また発光層は、有機材料や無機材料などの公知の材料から構成される。

実際には、電流源回路20は信号線駆動回路に設けられており、該信号線駆動回路に設けられた電流源回路20から、信号線や画素が有する回路素子等を通して発光素子に信号電流に応じた電流が供給される。しかし図19では、定電流源11、電流源回路20及び画素17の関係を簡単に説明する関係上、詳しい構成の図示は省略する。

まず電流源回路20が信号電流I_{data}を保持する動作(設定動作)について図19(A)(B)を用いて説明する。図19(A)において、スイッチ12、14は

20 オン、スイッチ13はオフにする。定電流源11からは信号電流が供給され、該定電流源11から電流源回路20の方向に電流が流れていく。このとき、図19(A)に示すように、電流源回路20内では電流の経路はI₁とI₂に分かれる。この関係を図19(D)に示しているが、信号電流I_{data}=I₁+I₂の関係であることは言うまでもない。

25 定電流源11から電流が流れ始めた瞬間には、容量素子16に電荷は保持されていないため、トランジスタ15はオフしている。よって、I₂=0となり、I_{data}

= I₁ となる。

そして、徐々に容量素子 1 6 に電荷が蓄積されて、容量素子 1 6 の両電極間に電位差が生じ始める(図 19 (E))。両電極間の電位差が V_{th} になると(図 19 (E) A点)、トランジスタ 1 5 がオンして、I₂>0 となる。上述したように I_{data}=I₅ 1+I₂ であるので、I₁ は次第に減少するが、依然電流は流れている。容量素子 1 6 には、さらに電荷の蓄積が行われる。

容量素子 1 6 の両電極間に電位差は、トランジスタ 1 5 のゲート・ソース間電圧となる。そのため、トランジスタ 1 5 のゲート・ソース間電圧が所望の電圧、つまりトランジスタ 1 5 が I_{data} の電流を流すことが出来るだけのゲート・ソース間電圧になるまで、容量素子 1 6 における電荷の蓄積は続けられる。電荷の蓄積が終了すると(図 19 (E) B点)、電流 I₂ は流れなくなり、さらにトランジスタ 1 5 は完全にオンしているので、I_{data}=I₂ となる(図 19 (B))。

次いで、画素に信号電流 I_{data} を入力する動作(入力動作)について図 19 (C)を用いて説明する。図 19 (C)において、スイッチ 1 3 はオン、スイッチ 1 2、1 4 はオフにする。容量素子 1 6 には所定の電荷が保持されているため、トランジスタ 1 5 はオンしており、信号電流に応じた電流が、スイッチ 1 3 及びトランジスタ 1 5 を介して V_{ss} の方向に流れ、画素に所定の信号電流が供給される。このとき、トランジスタ 1 5 を飽和領域で動作するようにすると、該トランジスタ 1 5 のソース・ドレイン間電圧が変化したとしても、発光素子には一定の電流が供給される。

図 19 に示す電流源回路 2 0 では、図 19 (A)～図 19 (C) に示すように、まず電流源回路 2 0 に対して信号電流 I_{data} の書き込みを終了させる動作(設定動作、図 19 (A)、(B) に相当)と、画素に信号電流 I_{data} を入力する動作(入力動作、図 19 (C) に相当)に分けられる。そして画素では入力された信号電流 I_{data} に基づき、発光素子への電流の供給が行われる。

図 19 に示す電流源回路 2 0 では、設定動作と入力動作を同時に行うことは出来ない。よって、設定動作と入力動作を同時に行う必要がある場合には、画素が複数

個接続されている信号線であって、更に画素部に複数本配置されている信号線のそれぞれに、少なくとも2つの電流源回路を設けることが好ましい。但し、信号電流 I_{data} を画素に入力していない期間内に、設定動作を行うことが可能であるならば、信号線ごとに（各列に）1つの電流源回路を設けるだけでもよい。

5 また図19（A）～（C）のトランジスタ15はnチャネル型であったが、勿論トランジスタ15をpチャネル型としてもよい。トランジスタ15がpチャネル型の場合の回路図を図19（F）に示す。図19（F）において、31はリファレンス用定電流源、スイッチ32～34はスイッチング機能を有する素子、35はトランジスタ、36は容量素子、37は画素である。スイッチ34、トランジスタ35、
10 容量素子36を有する回路が電流源回路24に相当する。

トランジスタ35はpチャネル型であり、トランジスタ35のソース領域及びドレイン領域は、一方はVddに接続され、他方は定電流源31に接続されている。そして容量素子36の一方の電極はVddに接続され、他方の電極はスイッチ36に接続されている。容量素子36は、トランジスタ35のゲート・ソース間電圧を保持
15 する役目を担う。

図19（F）に示す電流源回路24の動作は、電流の流れる方向が異なる以外は、上記の電流源回路20と同じ動作を行うのでここでは説明を省略する。なお電流の流れる方向を変更せずに、トランジスタ15の極性を変更した電流源回路を設計する場合には、図23に示す回路図を参考にすればよい。

20 なお図41において、電流の流れる方向は図19（F）と同じで、トランジスタ35をnチャネル型にしている。容量素子36は、トランジスタ35のゲート・ソース間に接続する。トランジスタ35のソースの電位は、設定動作時と入力動作時で異なる。しかし、トランジスタ35のソースの電位が変化しても、ゲート・ソース間電圧は保持されているため、正常に動作する。

25 続いて、図23（C）～（E）及び図24（B）～（D）の電流源回路の動作について図20、21を用いて説明する。図20（A）～（C）は、電流が回路素子

間を流れていく経路を模式的に示している。図 20 (D) は信号電流を電流源回路に書き込むときの各経路を流れる電流と時間の関係を示しており、図 20 (E) は信号電流を電流源回路に書き込むときに容量素子 46 に蓄積される電圧、つまりトランジスタ 43、44 のゲート・ソース間電圧と時間の関係を示している。また図 5 20 (A) ~ (C) に示す回路図において、41 はリファレンス用定電流源（以下定電流源 41 と表記）、スイッチ 42 はスイッチング機能を有する素子、43、44 はトランジスタ、46 は容量素子、47 は画素である。スイッチ 42、トランジスタ 43、44、容量素子 46 を有する回路が電流源回路 25 に相当する。

n チャネル型のトランジスタ 43 のソース領域は V_{ss} に接続され、ドレイン領域 10 は定電流源 41 に接続されている。n チャネル型のトランジスタ 44 のソース領域は V_{ss} に接続され、ドレイン領域は画素 47 の端子 48 に接続されている。そして容量素子 46 の一方の電極は V_{ss} (トランジスタ 43 及び 44 のソース) に接続され、他方の電極はトランジスタ 43 及びトランジスタ 44 のゲート電極に接続されている。容量素子 46 は、トランジスタ 43 及びトランジスタ 44 のゲート・ソース間電圧を保持する役目を担う。

なお実際には、電流源回路 25 は信号線駆動回路に設けられており、該信号線駆動回路に設けられた電流源回路 25 から、信号線や画素が有する回路素子等を介して発光素子に信号電流に応じた電流が流れる。しかし図 20 では、定電流源 41、電流源回路 25 及び画素 47 の関係を簡単に説明する関係上、詳しい構成の図示は 20 省略する。

図 20 の電流源回路 25 では、トランジスタ 43 及びトランジスタ 44 のサイズが重要となる。そこでトランジスタ 43 及びトランジスタ 44 のサイズが、同じ場合と異なる場合について、符号を分けて説明する。図 20 (A) ~ 図 20 (C) において、トランジスタ 43 及びトランジスタ 44 のサイズが同じ場合には、信号電流 I_{data} を用いて説明する。そしてトランジスタ 43 及びトランジスタ 44 のサイズが異なる場合には、信号電流 I_{data1} と信号電流 I_{data2} を用いて説明する。な

おトランジスタ43及びトランジスタ44のサイズは、それぞれのトランジスタのW(ゲート幅)/L(ゲート長)の値を用いて判断される。

最初に、トランジスタ43及びトランジスタ44のサイズが同じ場合について説明する。そしてまず信号電流I_{data}を電流源回路20に保持する動作を図20(A)、5(B)を用いて説明する。図20(A)において、スイッチ42がオンになると、リファレンス用定電流源41で信号電流I_{data}が設定され、定電流源41から電流源回路25の方向に電流が流れしていく。このとき、リファレンス用定電流源41からは信号電流I_{data}が流れているので、図20(A)に示すように電流源回路25内では、電流の経路はI₁とI₂に分かれて流れる。このときの関係を図20(D)10に示しているが、信号電流I_{data}=I₁+I₂の関係であることは言うまでもない。定電流源41から電流が流れ始めた瞬間には、容量素子46に電荷は保持されていないため、トランジスタ43及び44はオフしている。よって、I₂=0となり、I_{data}=I₁となる。

そして、徐々に容量素子46に電荷が蓄積されて、容量素子46の両電極間に電位差が生じ始める(図20(E))。両電極間の電位差がV_{th}になると(図20(E)A点)、トランジスタ43及び44がオンして、I₂>0となる。上述したようにI_{data}=I₁+I₂であるので、I₁は次第に減少するが、依然電流は流れている。容量素子46には、電荷の蓄積がさらに行われる。

容量素子46の両電極間の電位差は、トランジスタ43及び44のゲート・ソース間電圧となる。そのため、トランジスタ43及び44のゲート・ソース間電圧が所望の電圧、つまりトランジスタ44がI_{data}の電流を流すことが出来るだけのゲート・ソース間電圧になるまで、容量素子46における電荷の蓄積は続けられる。そして電荷の蓄積が終了すると(図20(E)B点)、電流I₂は流れなくなり、さらにトランジスタ43及び44は完全にオンしているのでI_{data}=I₂となる(図20(B))。

次いで、画素に信号電流I_{data}を入力する動作を図20(C)を用いて説明する。

まずスイッチ42をオフにする。容量素子46には所定の電荷が保持されているため、トランジスタ43及びトランジスタ44はオンしており、画素47から信号電流I_{data}に等しい電流が流れる。これにより、画素に信号電流I_{data}が入力される。このとき、トランジスタ44を飽和領域において動作するようにしておけば、

5 トランジスタ44のソース・ドレイン間電圧が変化したとしても、画素において流れれる電流は変わりなく流れることができる。

なお図20のようなカレントミラーハ回路の場合には、スイッチ42をオフにしなくても、定電流源41から供給される電流を用いて画素47に電流を流すことも出来る。つまり電流源回路25に対して信号を設定する動作を設定動作と、信号を画

10 素に入力する動作（入力動作）を同時に行うことが出来る。

次いで、トランジスタ43及びトランジスタ44のサイズが異なる場合について説明する。電流源回路25における動作は、上述した動作と同じであるのでここでは説明を省略する。トランジスタ43及びトランジスタ44のサイズが異なると、必然的にリファレンス用定電流源41において設定される信号電流I_{data1}と画素

15 47に流れる信号電流I_{data2}とは異なる。両者の相違点は、トランジスタ43及びトランジスタ44のW（ゲート幅）/L（ゲート長）の値の相違点に依存する。

通常はトランジスタ43のW/L値を、トランジスタ44のW/L値よりも大きくすることが望ましい。これは、トランジスタ43のW/L値を大きくすれば、信号電流I_{data1}を大きくできるからである。この場合、信号電流I_{data1}で電流源回路20を設定するとき、負荷（交差容量、配線抵抗）を充電できるため、素早く設定動作を行うことが可能となる。

図20(A)～(C)に示した電流源回路25のトランジスタ43及び44はnチャネル型であったが、勿論電流源回路25のトランジスタ43及び44をpチャネル型としてもよい。ここで、トランジスタ43及び44がpチャネル型の場合の25回路図を図21に示す。

図21において、41は定電流源、スイッチ42はスイッチング機能を有する半

導体素子、43、44はトランジスタ（pチャネル型）、46は容量素子、47は画素である。本実施の形態では、スイッチ42と、トランジスタ43、44と、容量素子46とが電流源回路26に相当する電気回路とする。

pチャネル型のトランジスタ43のソース領域はVddに接続され、ドレイン領域5は定電流源41に接続されている。pチャネル型のトランジスタ44のソース領域はVddに接続され、ドレイン領域は画素47の端子48に接続されている。そして容量素子46の一方の電極はVdd（ソース）に接続され、他方の電極はトランジスタ43及びトランジスタ44のゲート電極に接続されている。容量素子46は、トランジスタ43及びトランジスタ44のゲート・ソース間電圧を保持する役目を担う。

図21に示す電流源回路24の動作は、電流の流れる方向が異なる以外は、図20（A）～図20（C）と同じ動作を行うのでここでは説明を省略する。なお電流の流れる方向を変更せずに、トランジスタ43、トランジスタ44の極性を変えた電流源回路を設計する場合には、図23に示す回路図を参考にすればよい。

また、電流の流れる方向を変えずに、トランジスタの極性を変えることも可能である。それは、図36の動作に準ずるので、ここでは説明を省略する。

以上をまとめると、図19の電流源回路では、電流源で設定される信号電流I_{data}と同じ大きさの電流が画素に流れる。言い換えると、定電流源において設定された信号電流I_{data}と、画素に流れる電流は値が同じであり、電流源回路に設けられたトランジスタの特性バラツキの影響は受けない。

また、図19の電流源回路及び図6（B）の電流源回路では、設定動作を行う期間においては、電流源回路から画素に信号電流I_{data}を出力することは出来ない。そのため、1本の信号線ごとに2つの電流源回路を設けて、一方の電流源回路に信号を設定する動作（設定動作）を行い、他方の電流源回路を用いて画素にI_{data}を入力する動作（入力動作）を行うことが好ましい。

ただし、設定動作と入力動作を同時に行わない場合は、各列に1つの電流源回路

を設けるだけでもよい。なお、図37(A)、図38-(A)の電流源回路と図19の電流源回路とは、接続や電流が流れる経路が異なること以外は、同様の構成である。図40-(A)の電流源回路と図19の電流源回路は、定電流源から供給される電流と、電流源回路から流れる電流の大きさが異なること以外は、同様の構成である。また、図23(B)及び図38(B)の電流源回路と図19の電流源回路は、定電流源から供給される電流と、電流源回路から流れる電流の大きさが異なること以外は、同様の構成である。つまり、図40(A)の構成では、トランジスタのゲート幅 W が設定動作時と入力動作時で異なり、図23(B)及び図38(B)の構成では、トランジスタのゲート長 L が設定動作時と入力動作時とで異なるだけで、
10 それ以外は図19の電流源回路と同様の構成である。

一方、図20、21の電流源回路では、定電流源において設定された信号電流 I_{data} と、画素に流れる電流の値は、電流源回路に設けられた2つのトランジスタのサイズに依存する。つまり電流源回路に設けられた2つのトランジスタのサイズ (W (ゲート幅) / L (ゲート長)) を任意に設計して、定電流源において設定された信号電流 I_{data} と、画素に流れる電流を任意に変えることが出来る。但し、2つのトランジスタのしきい値や移動度などの特性にバラツキが生じている場合には、正確な信号電流 I_{data} を画素に出力することが難しい。
15

また、図20、21の電流源回路では、設定動作を行う期間に画素に信号を入力することは可能である。つまり、信号を設定する動作を設定動作と、信号を画素に入力する動作（入力動作）を同時に行うことが出来る。そのため、図19の電流源回路のように、1本の信号線に2つの電流源回路を設ける必要はない。
20

上記構成を有する本発明は、TFTの特性バラツキの影響を抑制して、所望の電流を外部に供給することができる。

(実施の形態2)

25 図19(および図40(A)、図23(B)、図38(B)など)に示した電流源回路では、1本の信号線ごと(各列)に2つの電流源回路を設けて、一方の電流源

回路で設定動作を行い、他方の電流源回路で入力動作.(画素への電流の出力)を行うように設定することが好ましいことは上述した。これは、設定動作と入力動作とを同時に行うことが出来ないことによる。本実施の形態では、図2に示した第1電流源回路421又は第2電流源回路422の構成とその動作について図25を用いて説明する。

なお信号線駆動回路は、電流源回路420、シフトレジスタ及びラッチ回路などを有する。

本発明では端子aから入力される設定信号とは、シフトレジスタからのサンプリングパルスを示す。つまり図2における設定信号とは、シフトレジスタからのサンプリングパルスに相当する。そして本発明では、シフトレジスタからのサンプリングパルスのタイミングに合わせて、電流源回路420の設定を行う。

しかし、電流源回路の構成や駆動方式などによっては、サンプリングパルスは直接入力されず、設定制御線(図2には図示せず)に接続された論理演算子の出力端子から供給される信号が入力される。前記論理演算子の2つの入力端子は、一方はサンプリングパルス、他方は設定制御線から供給される信号が入力される。

電流源回路420は、端子aを介して入力される設定信号により制御され、端子bから電流(リファレンス用電流)が供給され、該電流(リファレンス用電流)に比例した電流を端子cより出力する。

図25(A)において、スイッチ134～スイッチ139と、トランジスタ132(nチャネル型)と、該トランジスタ132のゲート・ソース間電圧VGSを保持する容量素子133とを有する回路が第1電流源回路421又は第2電流源回路422に相当する。

第1電流源回路421又は第2電流源回路422では、端子aを介して入力される信号によってスイッチ134、スイッチ136がオンとなる。また端子dを介して制御線から入力される信号によってスイッチ135、スイッチ137がオンとなる。そうすると、電流線に接続されたリファレンス用定電流源109から端子bを

介して電流（リファレンス用電流）が供給され、容量素子133に所定の電荷が保持される。そして定電流源109から流される電流（リファレンス用電流）がトランジスタ132のドレイン電流と等しくなるまで、容量素子133に電荷が保持される。

- 5 次いで、端子a、dを介して入力される信号により、スイッチ134～スイッチ137をオフにする。そうすると、容量素子133に所定の電荷が保持されているため、トランジスタ132は、信号電流 I_{data} に応じた大きさの電流を流す能力をもつことになる。そして仮にスイッチ101（信号電流制御スイッチ）、スイッチ138、スイッチ139が導通状態になると、端子cを介して信号線に接続された
- 10 画素に電流が流される。このとき、トランジスタ132のゲート電圧は、容量素子133により所定のゲート電圧に維持されているため、トランジスタ132のドレイン領域には信号電流 I_{data} に応じたドレイン電流が流れる。そのため、信号線駆動回路を構成するトランジスタの特性バラツキに左右されずに、画素において流れ
- 15 る電流の大きさを制御できる。
- 15 なお、スイッチ101（信号電流制御スイッチ）が配置されていない場合は、スイッチ138、139が導通状態になると、端子cを介して信号線に接続された画素に電流が流れる。

図25（B）において、スイッチ144～スイッチ147と、トランジスタ142（nチャネル型）と、該トランジスタ142のゲート・ソース間電圧VGSを保持する容量素子143と、トランジスタ148（nチャネル型）とを有する回路が第1電流源回路421又は第2電流源回路422に相当する。

- 20
- 25

第1電流源回路421又は第2電流源回路422では、端子aを介して入力される信号によってスイッチ144、スイッチ146がオンとなる。また端子dを介して制御線から入力される信号によってスイッチ145、スイッチ147がオンとなる。そうすると、電流線に接続された定電流源109から、端子bを介して電流（リファレンス用電流）が供給され、容量素子143に電荷が保持される。そして定電

流源 109 から流される電流（リファレンス用電流）がトランジスタ 142 のドレイン電流と等しくなるまで、容量素子 143 に電荷が保持される。なおスイッチ 144、スイッチ 145 がオンとなると、トランジスタ 148 のゲート・ソース間電圧 VGS が 0V となるので、トランジスタ 148 は自動的にオフになる。

5 次いで、端子 a、d を介して入力される信号により、スイッチ 144～147 がオフになる。そうすると、容量素子 143 には所定の電荷が保持されているため、トランジスタ 142 は信号電流に応じた大きさの電流を流す能力を有する。そして仮にスイッチ 101（信号電流制御スイッチ）が導通状態になると、端子 c を介して信号線に接続された画素に電流が供給される。これは、トランジスタ 142 のゲート電圧は容量素子 143 により所定のゲート電圧に設定されており、該トランジスタ 142 のドレン領域には信号電流 I_{data} に応じたドレン電流が流れる。そのため、信号線駆動回路を構成するトランジスタの特性バラツキに左右されずに、画素において流れる電流の大きさを制御できる。

なおスイッチ 144、145 がオフすると、トランジスタ 142 のゲートとソースは同電位ではなくなる。その結果、容量素子 143 に保持された電荷がトランジスタ 148 の方にも分配され、トランジスタ 148 が自動的にオンになる。ここで、トランジスタ 142、148 は直列に接続され、且つ互いのゲートが接続されている。従って、トランジスタ 142、148 はマルチゲートのトランジスタとして動作する。つまり、設定動作時と入力動作時とでは、トランジスタのゲート長 L が異なることになる。従って、設定動作時に端子 b から供給される電流値は、入力動作時に端子 c から供給される電流値よりも大きくすることが出来る。そのため、端子 b とリファレンス用定電流源との間に配置された様々な負荷（配線抵抗、交差容量など）を、より早く充電することができる。従って、設定動作を素早く完了させることができる。なお、スイッチ 101（信号電流制御スイッチ）が配置されていない場合は、スイッチ 144、145 がオフになると、端子 c を介して信号線に接続された画素に電流が流れる。

ここで、図25(A)は、図23(A)の構成に端子dを追加した構成に相当する。図25(B)は、図23(B)の構成に端子dを追加した構成に相当する。このように、図23(A)(B)の構成にスイッチを直列に追加して修正することにより、端子dを追加した図25(A)(B)の構成に変形している。なお、第1電流源回路421又は第2電流源回路422には、2つのスイッチを直列に配置することで、図23、図24、図38、図37、図40などに示した電流源回路の構成を任意に用いることができる。

なお図2では、1本の信号線ごとに第1電流源回路421及び第2電流源回路422の2つの電流源回路を有する電流源回路420を設けた構成を示したが、本発明はこれに限定されない。1本の信号線ごとに電流源回路の個数は特に限定されず、任意に設定することができる。複数の電流源回路は、各々に対応した定電流源を設けるように設定して、該定電流源から電流源回路に信号電流を設定するようしてもよい。例えば、1本の信号線ごとに3つの電流源回路420を設けてもよい。そして各電流源回路420には異なるリファレンス用定電流源109から信号電流を設定するようとしてもよい。例えば、1つの電流源回路420には、1ピット用のリファレンス用定電流源を用いて信号電流を設定し、1つの電流源回路420には、2ピット用のリファレンス用定電流源を用いて信号電流を設定し、1つの電流源回路420には、3ピット用のリファレンス用定電流源を用いて信号電流を設定するようとしてもよい。そうすると、3ピット表示を行うことが出来る。

上記構成を有する本発明は、TFTの特性バラツキの影響を抑制して、所望の電流を外部に供給することができる。

本実施の形態は、実施の形態1と任意に組み合わせることが可能である。

(実施の形態3)

本実施の形態では、本発明の信号線駆動回路が具備される発光装置の構成について図15を用いて説明する。

図15(A)において、発光装置は基板401上に、複数の画素がマトリクス状

に配置された画素部402を有し、画素部402の周辺には、信号線駆動回路403、第1及び第2の走査線駆動回路404、405を有する。図15(A)においては、信号線駆動回路403と、2組の走査線駆動回路404、405を有しているが、本発明はこれに限定されない。駆動回路の個数は、画素の構成に応じて任意に設計することができる。信号線駆動回路403と、第1及び第2の走査線駆動回路404、405には、FPC406を介して外部より信号が供給される。

第1及び第2の走査線駆動回路404、405の構成とその動作について図15(B)を用いて説明する。第1及び第2の走査線駆動回路404、405は、シフトレジスタ407、バッファ408を有する。シフトレジスタ407は、クロック信号(G-CLK)、スタートパルス(S-SP)及びクロック反転信号(G-CLKb)に従って、順次サンプリングパルスを出力する。その後バッファ408で増幅されたサンプリングパルスは、走査線に入力されて1行ずつ選択状態にしていく。そして選択された走査線によって制御される画素には、順に信号線から信号が書き込まれる。

なお、シフトレジスタ407とバッファ408の間にレベルシフタ回路を配置した構成にしてもよい。レベルシフタ回路を配置することによって、電圧振幅を大きくすることが出来る。

本実施の形態は、実施の形態1、2と任意に組み合わせることが可能である。

(実施の形態4)

本実施の形態では、図15(A)に示した信号線駆動回路403の詳細な構成とその動作について説明する。本実施の形態では、1ビットのデジタル階調表示を行う場合に用いる信号線駆動回路403について説明する。

まず図1に対応した場合について述べる。またここでは線順次駆動の場合について述べる。

図6(A)には、1ビットのデジタル階調表示を行う場合における信号線駆動回路403の概略図を示す。信号線駆動回路403は、シフトレジスタ411、第1のラッチ回路412、第2のラッチ回路413、定電流回路414を有する。

動作を簡単に説明すると、シフトレジスタ 411 は、フリップフロップ回路(FF)等を複数列用いて構成され、クロック信号(S-CLK)、スタートパルス(S-SP)、クロック反転信号(S-CLKb)のタイミングに従って、順次サンプリングパルスを出力する。

5 シフトレジスタ 411 より出力されたサンプリングパルスは、第1のラッチ回路 412 に入力される。第1のラッチ回路 412 には、デジタルビデオ信号が入力されており、サンプリングパルスが入力されるタイミングに従って各列でビデオ信号を保持する。

第1のラッチ回路 412において、最終列までビデオ信号の保持が完了すると、
10 水平帰線期間中に、第2のラッチ回路 413 にラッチパルスが入力され、第1のラッ
チ回路 412 に保持されていたビデオ信号は、一斉に第2のラッチ回路 413 に
転送される。すると、第2のラッチ回路 413 に保持されたビデオ信号は、1行分
が同時に定電流回路 414 に供給される。

第2のラッチ回路 413 に保持されたビデオ信号が定電流回路 414 に供給さ
れています間、シフトレジスタ 411においては再びサンプリングパルスが出力され
る。以後この動作を繰り返し、1フレーム分のビデオ信号の処理を行う。なお定電
流回路 414 は、デジタル信号をアナログ信号に変換する役割を有する場合もある。

そして本発明では、シフトレジスタ 411 より出力されたサンプリングパルスは、
定電流回路 414 に入力される。

20 また定電流回路 414 は、電流源回路 420 が複数設けられる。図 6(B)には、
i 列目から (i+2) 列目の 3 本の信号線にかかる信号線駆動回路の概略を示す。

電流源回路 420 は、端子 a を介して入力される信号により制御される。また、
端子 b を介して、電流線に接続されたリファレンス用定電流源 109 から電流が供
給される。電流源回路 420 と信号線 S_n に接続された画素との間にはスイッチ 1
25 01 (信号電流制御スイッチ) が設けられ、前記スイッチ 101 (信号電流制御ス
イッチ) はビデオ信号により制御される。ビデオ信号が明信号の場合、電流源回路

420から画素に電流が供給される。反対にビデオ信号が暗信号の場合、スイッチ101（信号電流制御スイッチ）が制御されて画素に電流は供給されない。つまり電流源回路420は、所定の電流を流す能力を有し、該電流を画素に供給するか否かはスイッチ101（信号電流制御スイッチ）により制御される。

5 本発明では端子aを介して電流源回路420に入力される信号とは、シフトレジスタから供給されるサンプリングパルスに相当する。電流源回路の構成や駆動方式などによっては、サンプリングパルスは直接入力されず、設定制御線（図6には図示せず）に接続された論理演算子の出力端子から供給される信号が入力される。

また前記論理演算子の2つの入力端子は、一方はサンプリングパルス、他方は設定制御線から供給される信号が入力される。つまり電流源回路420の設定は、サンプリングパルス、又は設定制御線に接続された論理演算子の出力端子から供給される信号のタイミングに従って行われる。

なお、設定制御線と論理演算子を有する場合の信号線駆動回路を図42に示す。図42に示す構成において、論理演算子の代わりに、スイッチなどを配置してもよ

15 い。

また電流源回路420の構成は、図23、図24、図38、図37、図40などに示した電流源回路420の構成を任意に用いることが出来る。

さらに電流源回路420には、1つの構成を採用するだけでなく、複数を採用してもよい。なお電流源回路420に、図23(A)、24(A)に示した構成を用いる場合、入力動作を行っている期間には、設定動作を行うことが出来ない。従つて、入力動作を行っていない期間に設定動作を行う必要がある。但し、1フレーム中には、入力動作を行っていない期間が点在する場合があるため、そのような場合には各列を順に選択するのではなく、任意の列を選択できるようにすることが好ましい。従つて、シフトレジスタとして、ランダムに選択することができるデコーダ回路などを用いることが望ましい。一例として図43には、デコーダ回路を示す。図43に示したデコーダ回路を用いると、電流源回路の設定動作も、1列目から最

終列目まで順に行うのではなく、ランダムに行うことができるようになる。そうすると、設定動作を行う時間の長さを、自由に長くとれるようになる。

上記のデコーダ回路以外に、図44(A)に示すような回路を用いてもよい。図44(A)では、シフトレジスタから出力されるパルスと、出力制御線(第1～第5 3出力制御線)から供給される信号が論理演算子に入力される。図44(B)に示すように、各出力制御線のパルスを制御することにより、1列目から最終列目まで順にサンプリングパルスを出力することができる。つまり、従来と同様な波形を出力することができる。

また、従来と異なる動作をさせたいときには、図45(A)に示すように、第1
10 出力制御線を選択状態にした状態で、第2及び第3出力制御線を非選択状態にする。すると、1列目のサンプリングパルスが、従来よりも長い期間で出力される。従つて、1列目にサンプリングパルスが出力された後には、4列目のサンプリングパルスが出力される。同様に、図45(B)のように、第2出力制御線を選択状態にした状態で、第1及び第3出力制御線を非選択状態にする。すると、2列目のサンプリングパルスが、従来よりも長い期間で出力される。そして、2列目にサンプリングパルスが出力された後には、5列目のサンプリングパルスが出力される。上記構成では、1列目から最終列目まで完全にランダムに選択を行うわけではないが、ある特定の列のみを通常よりも長い期間にわたって選択することが可能となる。従つて、電流源回路の設定動作をより自由に行うことができる。

20 さらに、図46に示すような回路を用いてもよい。図46では、制御1と制御2により、その動作が制御される。制御1と制御2を選択状態にすると、第1シフトレジスタと第2シフトレジスタの間に配置されているスイッチが導通状態となり、第2シフトレジスタと第3シフトレジスタの間に配置されているスイッチが導通状態となる。つまり、第1シフトレジスタと第2シフトレジスタと第3シフトレジ
25 タとが、つながっている状態となる。そのような状態で、スタートパルス信号がSPに入力されると、第1シフトレジスタからのパルスが第2シフトレジスタにシ

フトし、第2シフトレジスタからのパルスが第3シフトレジスタにシフトしていく。つまり、従来と同様な波形を出力することができる。そして、従来とは別の動作をさせたいときには、制御1を非選択状態にする。すると、第1シフトレジスタと第2シフトレジスタの間に配置されているスイッチが非導通状態となり、第2シフトレジスタとSP1の間に配置されているスイッチが導通状態となる。そして、スタートパルス信号をSPではなく、SP1に入力する。すると、第2シフトレジスタからサンプリングパルスを出力する。つまり、1列目から最終列目のうち、途中の列から、サンプリングパルスを出力し始める。また、さらに別の動作をさせたいときは、制御2を非選択状態にする。すると、第2シフトレジスタと第3シフトレジスタの間に配置されているスイッチが非導通状態となり、第3シフトレジスタとSP2の間に配置されているスイッチが導通状態となる。そして、スタートパルス信号をSP2に入力する。すると、第3シフトレジスタからサンプリングパルスを出力し始める。このように、図46の構成では、1列目から最終列目まで完全にランダムに選択するわけではないが、ある特定の範囲の列のみを、選択することが可能となる。このとき、クロック信号の周波数を低くすることにより、従来よりも長い期間にわたって選択することが可能となる。従って、電流源回路の設定動作をより自由に行うことができる。

このように、ランダムに、もしくは、ある程度自由に、列もしくは電流源回路を選択し、電流源回路の設定動作を行うことができると、様々な利点が生じる。たとえば、設定動作を行うことができる期間が、1フレーム中に点在している場合は、任意の列を選択できることで、自由度が上がり、設定動作の期間を長くとることができるのである。そのほかの利点としては、電流源回路420の中にある容量素子（例えば、図23（A）では容量素子103、図23（B）では容量素子123、図23（B）では容量素子107などに相当する）における電荷の漏れの影響を目立たなくさせることができるようになる。

電流源回路420には、容量素子が配置されている。ただし、容量素子をトラン

ジスタのゲート容量などで代用してもよい。その容量素子には、電流源回路の設定動作により、電荷が蓄積される。理想的には、電流源回路の設定動作は、電源を入力した時に1回だけ行えばよい。つまり、信号線駆動回路を動作させるとき、その動作を行う最初の期間に、1回だけ行えばよい。なぜなら、容量素子に蓄積される

- 5 電荷量は、動作状態や時間などによって変化させる必要がなく、また、変化しないからである。しかしながら、現実的には、容量素子には、様々なノイズが入ったり、容量素子と接続されているトランジスタのもれ電流が流れたりする。その結果、容量素子に蓄積される電荷量が、時間とともに変化してしまう場合がある。電荷量が変化すると、電流源回路から出力される電流、すなわち、画素に入力される電流も、
- 10 変化してしまう。その結果、画素の輝度も変化してしまう。そこで、容量素子に蓄積された電荷を変動させないようにするために、電流源回路の設定動作を、ある周期で定期的に行い、電荷をリフレッシュさせ、変化した電荷を再び元に戻し、正しい量の電荷を保存しなおす必要が生じる。

仮に、容量素子の電荷の変動量が大きい場合、電流源回路の設定動作を行って該

- 15 電荷をリフレッシュさせ、変化した電荷を再び元に戻し、正しい量の電荷を保存しなおすようにすると、それにともなって、電流源回路が出力する電流量の変動も大きくなる。そのため、1列目から順に設定動作を行うと、電流源回路が出力する電流量の変動が、目で確認できるほどの表示妨害が生ずる場合がある。つまり、1列目から順に生ずる画素の輝度の変化が目で確認できるほどの表示妨害が生ずる場
- 20 合がある。この場合、1列目から順に設定動作を行うのではなく、ランダムに設定動作を行えば、電流源回路が出力する電流量の変動を目立たなくさせることができる。このように、複数の配線をランダムに選択することにより、様々な利点が生じる。

一方、電流源回路420に、図23(C)～(E)に示した構成を用いる場合、

- 25 設定動作と入力動作を同時に行うことが出来る。しかし、設定動作と入力動作を同時に出来る電流源回路を用いる場合においても、電流源回路が出力する

電流量の変動を、目立たせなくさせたり、設定動作を行う期間を長くとったりすることが可能となるため、ランダムに選択できることは大変有効である。

また図6（B）では、一列ずつ設定動作を行っているが、これに限定されない。図47に示すように、同時に複数列で設定動作を行ってもよい。ここで、同時に複数列で設定動作を行うことを多相化するとよぶ。なお図47には、リファレンス用定電流源109が2個配置されているが、この2個のリファレンス用定電流源に対しても別に配置したリファレンス用定電流源から設定動作を行ってもよい。

以下には、図6（B）に示した定電流回路414の詳しい構成とその動作について説明する。

ここで、図5は、電流源回路の部分に図23（C）の構成を適用した場合の回路を示す。図48は、電流源回路の部分に図23（A）の構成を適用した場合の回路を示す。図3、4は、図2に示すように、1列に複数個（2個）の電流源回路が配置された回路であり、前記電流源回路の部分に図23（A）の構成を適用した場合の回路を示す。まず、図3、4に示した構成について説明する。

はじめに、図6（A）に示す構成の電流源回路を有する定電流回路414について説明する。なお図6（A）に示す構成では、電流源回路に信号を保持する設定動作と、電流源回路から画素へ信号を入力する動作（入力動作）を同時に行なうことは出来ない。そのため、1本の信号線ごとに2つの電流源回路を設けて、一方の電流源回路で設定動作を行い、他方の電流源回路で入力動作を行うことが好ましい。

図3、4の各列に設けられた電流源回路420では、信号線S_i（ $1 \leq i \leq n$ ）に所定の信号電流の出力をするか否かは、第2のラッチ回路413から入力されるデジタルビデオ信号が有する情報によって制御される。

図3において、電流源回路420は、第1電流源回路421と第2電流源回路422を有する。そして第1電流源回路421及び第2電流源回路422は、一方では設定動作を行い、他方では入力動作を行う。第1電流源回路421及び第2電流源回路422は、複数の回路素子を有する。第1電流源回路421は、NAND7

0、インバータ 7 1、インバータ 7 2、アナログスイッチ 7 3、アナログスイッチ 7 4、トランジスタ 7 5～7 7 及び容量素子 7 8 を有する。そして第2電流源回路 4 2 2 は、NAND 8 0、インバータ 8 1、インバータ 8 2、インバータ 8 9、アナログスイッチ 8 3、アナログスイッチ 8 4、トランジスタ 8 5～8 7 及び容量素子 8 8 を有する。本実施の形態では、トランジスタ 7 5～7 7、トランジスタ 8 5～8 7 は全てnチャネル型とする。

第1電流源回路 4 2 1において、NAND 7 0 の入力端子は、シフトレジスタ 4 1 1 と制御線 9 2 に接続され、NAND 7 0 の出力端子は、インバータ 7 1 の入力端子に接続されている。インバータ 7 1 の出力端子は、トランジスタ 7 5 及びトランジスタ 7 6 のゲート電極に接続されている。

アナログスイッチは、4つの端子を有する。そして4つの端子の内の2つの端子に入力される信号によって、残りの2つの端子間が導通又は非導通になる。

アナログスイッチ 7 3 は、NAND 7 0 の出力端子から入力される信号と、インバータ 7 1 の出力端子から入力される信号により導通又は非導通が選択される。インバータ 7 2 の入力端子は、制御線 9 2 に接続されている。そしてアナログスイッチ 7 4 は、制御線 9 2 とインバータ 7 2 の出力端子から入力される信号により導通又は非導通が選択される。

トランジスタ 7 5 のソース領域とドレイン領域は、一方は電流線 9 3 に接続され、他方はトランジスタ 7 7 のソース領域とドレイン領域の一方に接続されている。トランジスタ 7 6 のソース領域とドレイン領域は、一方は電流線 9 3 に接続され、他方は容量素子 7 8 の一方の端子とトランジスタ 7 7 のゲート電極に接続されている。トランジスタ 7 7 のソース領域とドレイン領域は、一方は V_{ss} に接続され、他方はアナログスイッチ 7 3 に接続されている。

電流線 9 3 にはリファレンス用定電流源（図示せず）が接続されている。

容量素子 7 8 は、一方の電極は V_{ss} に接続され、他方の電極はトランジスタ 7 7 のゲート電極に接続されている。容量素子 7 8 は、トランジスタ 7 7 のゲート・ソ

一ス間電圧を保持する役目を担う。

第2電流源回路422において、インバータ89の入力端子が制御線89に接続されている。そしてインバータ89の出力端子は、NAND80の一方の入力端子に接続されている。またNAND80の他方の入力端子は、シフトレジスタ411に接続されている。5 NAND80の出力端子は、インバータ81の入力端子に接続されている。インバータ81の出力端子は、トランジスタ85及びトランジスタ86のゲート電極に接続されている。

アナログスイッチ83は、NAND80の出力端子から入力される信号と、インバータ81の出力端子からの入力される信号により導通又は非導通が選択される。10 またインバータ82の入力端子は、制御線92に接続されている。そしてアナログスイッチ84は、制御線92とインバータ82の出力端子から入力される信号により導通又は非導通が選択される。

トランジスタ85のソース領域とドレイン領域は、一方は電流線93に接続され、他方はトランジスタ87のソース領域とドレイン領域の一方に接続されている。ト15 ランジスタ86のソース領域とドレイン領域は、一方は電流線93に接続され、他方は容量素子88の一方の端子とトランジスタ87のゲート電極に接続されている。トランジスタ87のソース領域とドレイン領域は、一方はVssに接続され、他方はアナログスイッチ83に接続されている。

容量素子88は、一方の電極はVssに接続され、他方の電極はトランジスタ87のゲート電極に接続されている。容量素子88は、トランジスタ87のゲート・ソ20 ース間電圧を保持する役目を担う。

ここで、図3の電流源回路の動作について図28を用いて説明する。

図28は、設定制御線92と走査線1～3行目のタイミングチャートを示す。そして、期間Aにおける電流源回路420の動作について図3を用いて説明し、期間25 Bにおける電流源回路420の動作について図4を用いて説明する。期間Aでは、第1電流源回路421で設定動作を行い、第2電流源回路422で入力動作を行う。

期間Bでは、第1電流源回路421で入力動作を行い、第2電流源回路422で設定動作を行う。

まず期間Aにおける電流源回路420の動作について説明する。最初に設定動作を行う第1電流源回路421の動作について説明する。

5 期間Aにおいて、設定制御線92から入力される信号はHighである。そして各列に順にシフトレジスタ411からサンプリングパルス(Highの信号に相当)が入力される。NAND70はシフトレジスタ411及び設定制御線92から入力される信号(ともにHigh)を論理演算してLowを出力する。インバータ71は入力された信号(Low)を論理演算してHighを出力する。

10 インバータ71の出力端子から、トランジスタ75及び76のゲート電極に信号(High)が入力され、トランジスタ75及び76はオンとなる。そうすると、電流線93から供給される電流は、トランジスタ75及び76を介して、容量素子78を流れてVssに達する。そして容量素子78には、電荷が蓄積されはじめる。

その後、容量素子78には徐々に電荷が蓄積され、両電極間に電位差が生じ始める。この電位差がVthになると、トランジスタ77はオフからオンとなる。容量素子78では、その両電極の電位差、つまりトランジスタ77のゲート・ソース間電圧が所望の電圧になるまで電荷の蓄積が行われる。言い換えると、トランジスタ77が信号電流を流すことができるだけの電圧になるまで電荷の蓄積が続けられる。そして時間の経過に伴い、電荷の蓄積が終了する。

20 このとき、アナログスイッチ73及びアナログスイッチ74はオフにある。

次いで入力動作(画素への電流の出力)を行う第2電流源回路422の動作について説明する。なお第2電流源回路422では、既に設定動作が行われ、容量素子88には所定の電荷が保持されている。

期間Aにおいて、設定制御線92から入力される信号はHighである。インバータ89は入力される信号(High)を論理演算してLowを出力する。NAND80はインバータ89とシフトレジスタ411から入力される信号を論理演算して

High を出力する。インバータ 8 1 は入力された信号 (High) を論理演算して Low を出力する。

インバータ 8 1 の出力端子から、トランジスタ 8 5 及び 8 6 のゲート電極に信号 (Low) が入力され、トランジスタ 8 5 及び 8 6 はオフとなる。

5 一方、アナログスイッチ 8 3 は、NAND 8 0 の出力端子から入力される信号 (High) とインバータ 8 1 の出力端子から入力される信号 (Low) によりオンになる。アナログスイッチ 8 4 は、設定制御線 9 2 から入力される信号 (High) とインバータ 8 2 の出力端子から入力される信号 (Low) によりオンになる。

10 容量素子 8 8 には、所定の電荷が保持されており、トランジスタ 8 7 はオンになる。この状態において、トランジスタ 8 7 のドレイン電流は信号電流に等しい。

アナログスイッチ 9 0 は、第 2 のラッチ回路 4 1 3 から入力される信号とインバータ 9 0 から入力される信号により、オン又はオフになる。図 3 に示す構成では、第 2 のラッチ回路 4 1 3 から High の信号が入力されるとアナログスイッチ 9 0 はオンになり、第 2 のラッチ回路 4 1 3 から Low の信号が入力されるとアナログスイ

15 ッチ 9 0 はオフになる。

ここでは、第 2 のラッチ回路 4 1 3 から High の信号が入力され、アナログスイッチ 9 0 はオンであると仮定する。そうすると、電流が信号線 (S 1) からトランジスタ 8 7 を流れて V_{ss} に達する。このときの電流値は信号電流と等しい。換言すると、所定の信号電流が、信号線 (S 1) に接続された画素に供給される。

20 このとき、トランジスタ 8 7 を飽和領域において動作するようにしておけば、該トランジスタ 8 7 のソース・ドレイン間電圧が変化したとしても、画素に供給される電流は変化しない。

次いで、期間 B における電流源回路 4 2 0 の動作について、図 4 を用いて説明する。最初に入力動作（画素への電流の出力）を行う第 1 電流源回路 4 2 1 の動作について説明する。なお第 1 電流源回路 4 2 1 では、既に設定動作が行われ、容量素子 7 8 には所定の電荷が保持されている。

期間Bにおいて、設定制御線92から入力される信号はLowである。NAND70は、シフトレジスタ411及び設定制御線92から入力される信号を論理演算してHighを出力する。そしてインバータ71は入力された信号(High)を論理演算してLowを出力する。

5 インバータ71の出力端子から、トランジスタ75及び76のゲート電極に信号(Low)が入力され、トランジスタ75及び76はオフとなる。

一方、アナログスイッチ73は、NAND70の出力端子から入力される信号(High)とインバータ71の出力端子から入力される信号(Low)によりオンになる。またアナログスイッチ74は、設定制御線92から入力される信号(Low)と

10 インバータ72の出力端子から入力される信号(High)によりオンになる。

容量素子78には、所定の電荷が保持されており、トランジスタ77はオンとなっている。そしてこの状態において、トランジスタ77のドレイン電流は信号電流に等しい。

ここでは、第2のラッチ回路413からHighの信号が入力され、アナログスイッチ90はオンであると仮定する。そうすると、電流が信号線(S1)から、トランジスタ77を流れ、V_{ss}に達する。このときの電流値は、信号電流と等しい。換言すると、所定の信号電流が、信号線(S1)に接続された画素に供給される。

このときトランジスタ77を飽和領域において動作するようにしておけば、トランジスタ77のソース・ドレイン間電圧が変化したとしても、画素に供給される電流は変化しない。

次いで期間Bにおいて、設定動作を行う第2電流源回路422の動作について説明する。

期間Bにおいて、設定制御線92から入力される信号はLowである。インバータ89は入力される信号(Low)を論理演算して、Highを出力する。NAND80は、インバータ89とシフトレジスタ411から入力される信号(一方はHigh)を論理演算してLowを出力する。そしてインバータ81は入力された信号(Low)

を論理演算して High を出力する。

インバータ 8 1 の出力端子から、トランジスタ 8 5 及び 8 6 のゲート電極に信号 (High) が入力され、トランジスタ 8 5 及び 8 6 はオンになる。そうすると、電流線 9 3 から供給される電流は、トランジスタ 8 5 及び 8 6 を介して、容量素子 8 8
5 を流れて Vss に達する。そして容量素子 8 8 には、電荷が蓄積されはじめる。

その後、容量素子 8 8 に徐々に電荷が蓄積され、両電極間に電位差が生じ始める。両電極間の電位差が V_{th} になると、トランジスタ 8 7 がオフからオンになる。容量素子 8 8 においては、その両電極の電位差、つまりトランジスタ 8 7 のゲート・ソース間電圧が所望の電圧になるまで、電荷の蓄積が行われる。言い換えると、トランジスタ 8 7 が信号電流を流すことができるだけの電圧になるまで電荷の蓄積が
10 続けられる。

このとき、アナログスイッチ 8 3 及び 8 4 はオフである。

なお、図 2 8 を用いて説明した上記の動作では、1 行毎に設定動作と入力動作を切り替えていた。しかしながら、本発明はそれに限定されない。数行ごとに設定動作と入力動作を切り替えててもよい。

なおここでは、図 3、4 に示す電流源回路 4 2 0 が有するトランジスタは全て n チャネル型としたが、本発明はこれに限定されない。図 3、4 に示す電流源回路 4 2 0 には、p チャネル型のトランジスタを用いることもできる。なお、p チャネル型のトランジスタを用いた場合の電流源回路 4 2 0 の動作は、電流の流れる方向が
20 変わる点と、容量素子が Vss ではなく Vdd に接続される点以外は上述した動作と同じである。

また、図 3、4 に示す電流源回路 4 2 0 に p チャネル型のトランジスタを用いる場合、VSS と Vdd を入れ替えない場合、つまり電流の流れる方向が変わらない場合は、図 2 3 と図 2 4 の対比を用いれば、容易に適用できる。また、単なるスイッチとして動作させるトランジスタは、極性はどちらでもよい。

次いで、上記とは異なる定電流回路 4 1 4 の構成とその動作について図 5 を用い

て説明する。各列に設けられた電流源回路420において、信号線S_i（1≤i≤n）への所定の信号電流I_{data}の出力をするか否かは、第2のラッチ回路413から入力されるデジタルビデオ信号が有する情報によって制御される。

なお図5の構成は、図1に示すように、1列に1個の電流源回路が配置された回

5 路である。

図5（A）～（C）において、電流源回路420は、トランジスタ94～トランジスタ97及び容量素子99を有する。本実施の形態では、トランジスタ94～トランジスタ97は全てnチャネル型とする。

トランジスタ94のゲート電極には、第2のラッチ回路413から信号が入力さ
10 れる。またトランジスタ94のソース領域とドレイン領域は、一方はソース信号線
(S1)に接続され、他方はトランジスタ95のソース領域とドレイン領域の一方
に接続されている。

トランジスタ97及びトランジスタ98のゲート電極には、シフトレジスタ411
からサンプリングパルスが入力される。トランジスタ97のソース領域とドレイン
15 領域は、一方はトランジスタ96のソース領域とドレイン領域の一方に接続され、
他方は容量素子99の一方の電極に接続されている。トランジスタ98のソース領域
とドレイン領域は、一方は電流線93に接続され、他方はトランジスタ96のソ
ース領域とドレイン領域の一方に接続されている。

容量素子99の一方の電極は、トランジスタ95及びトランジスタ96のゲート
20 電極に接続され、他方の電極はV_{ss}に接続されている。容量素子99は、トランジ
スタ95及びトランジスタ96のゲート・ソース間電圧を保持する役目を担う。

トランジスタ95のソース領域とドレイン領域は、一方はV_{ss}に接続され、他方
はトランジスタ94のソース領域とドレイン領域の一方に接続されている。トラン
ジスタ95のソース領域とドレイン領域は、一方はV_{ss}に接続され、他方はトラン
25 ジスタ98のソース領域とドレイン領域の一方に接続されている。

ここで図5に示す電流源回路420の動作について図5（A）～図5（C）を用

いて説明する。

まずシフトレジスタ 411 からトランジスタ 97 及び 98 のゲート電極にサンプリングパルスが入力され、両トランジスタはオンになる。そうすると電流線 93 から供給される電流は、トランジスタ 98 及び 97 を介して、容量素子 99 まで流れしていく。このとき、第2のラッチ回路 413 からトランジスタ 94 のゲート電極に信号は入力されず、トランジスタ 94 はオフである。

そして容量素子 99 に徐々に電荷が蓄積され、両電極間に電位差が生じ始める。両電極間の電位差が V_{th} となると、トランジスタ 95 及び 96 がオンとなる。そして容量素子 99 において、その両電極の電位差、つまりトランジスタ 95 及び 96 のゲート・ソース間電圧が所望の電圧になるまで、電荷の蓄積が続けられる。言い換えると、トランジスタ 95 及び 96 が信号電流に応じた電流を流すことが出来るだけの電圧になるまで、電荷の蓄積が続けられる（図5（A））。

そして時間の経過に伴い、電荷の蓄積が終了する（図5（B））。
続いて、第2のラッチ回路 413 から入力される信号（デジタルビデオ信号に相当）により、トランジスタ 94 がオンとなる。このときシフトレジスタ 411 からトランジスタ 94 のゲート電極にはサンプリングパルスは入力されず、トランジスタ 97 及び 98 はオフである。そして容量素子 99 には、所定の電荷が保持されているため、トランジスタ 95 及び 96 はオンである。そうすると、信号線（S1）から、トランジスタ 94 及び 95 を介して、 V_{ss} の方向に電流が流れしていく。このときの電流値は、信号電流と等しい。換言すると、所定の信号電流が、信号線（S1）に接続された画素に供給される。

このときトランジスタ 95 を飽和領域において動作するようにしておけば、トランジスタ 95 のソース・ドレイン間電圧が変化したとしても、画素に供給される電流は変化しない。

また本実施の形態では、図5に示す電流源回路 420 が有するトランジスタは全てnチャネル型としたが、本発明はこれに限定されない。図5に示す電流源回路 4

20には、pチャネル型のトランジスタを用いることもできる。なお、pチャネル型のトランジスタを用いた場合の電流源回路420の動作は、電流の流れる方向が変わる点と、容量素子がVssではなく、Vddに接続される点以外は上述した動作と同じである。

5 また図21、図23(C)～図23(E)、図24(B)～図24(D)などに示したように、電流源回路420が有する回路素子は異なる接続構成を有していてもよい。そのときの電流源回路420の動作は、図5を用いて説明した電流源回路420の動作と同じであるので、本実施の形態では説明は省略する。

また、図5に示す電流源回路420にpチャネル型のトランジスタを用いる場合、
10 VSSとVddを入れ替えない場合、つまり電流の流れる方向が変わらない場合は、
図23と図24の対比を用いれば、容易に適用できる。なお、単なるスイッチとして動作させるトランジスタは、その極性はどちらでもよい。

なお、図5の構成は、図1に示すように、1列に1個の電流源回路が配置された回路である。この場合には、電流源回路420に、図23(A)、24(A)に示した構成を用いると、入力動作(画素への電流の出力)を行っている期間には、設定動作を行うことが出来ない。従って、入力動作(画素への電流の出力)を行っていない期間に設定動作を行う必要がある。一方、電流源回路420に、図23(C)～(E)に示した構成を用いると、1列に1個の電流源回路が配置された場合であっても、設定動作と入力動作を同時に行うことが出来る。

20 続いて、図42(A)(B)に示した定電流回路414の詳しい構成を図49、
図50、図51に示す。ここで、図49は、図42(B)における定電流回路414に相当する部分に図1に示した回路を適用した構成になっており、さらに電流源回路の部分には図23(C)を適用した構成を示す。図50は、図42(B)における定電流回路414に相当する部分に図1に示した回路を適用した構成になつ
25 ており、電流源回路の部分に図23(A)を適用した構成を示す。図51は、図42(B)における定電流回路414に相当する部分に図2に示した回路を適用した

構成になっており、さらに電流源回路の部分には図 2 3 (A) を適用した構成を示す。

なお、図 4 9、図 5 0 に示す構成では、論理演算子が配置されているが、該論理演算子の代わりにスイッチなどを配置してもよい。前記論理演算子は、電流源回路 5 の設定動作を行うか否かの切り替えを制御しているので、該設定動作を切り替えるための制御が可能な回路であれば、どのような回路を用いててもよい。また、図 5 1 では、第 1 設定制御線から供給される信号を制御することで電流源回路の設定動作を行うか否かを切り替える。また、第 2 設定制御線から供給される信号を制御することで、1 列毎に配置された 2 つの電流源回路のうち、どちらの電流源回路で設定 10 動作を行い、どちらの電流源回路で入力動作を行うかを制御する。

続いて、図 3 4 に対応した場合について述べる。またこれまで、線順次駆動の場合について述べてきた。以下には、点順次駆動の場合について述べる。図 5 2 (A)において、ビデオ線から供給されるビデオ信号は、シフトレジスタ 4 1 1 から供給されるサンプリングパルスのタイミングに従ってサンプリングされる。また電流源 15 回路 4 2 0 の設定は、シフトレジスタ 4 1 1 から供給されるサンプリングパルスのタイミングに従って行われる。1 例として、図 5 2 (A) の構成を有する場合には、点順次駆動を行う。

なお端子 a を介して電流源回路 4 2 0 に入力される信号は、電流源回路の構成や駆動方式などによっては、サンプリングパルスは直接入力されず、設定制御線（図 20 5 2 (A) には図示せず）に接続された論理演算子の出力端子から供給される信号が入力される。前記論理演算子の 2 つの入力端子は、一方はサンプリングパルス、他方は設定制御線から供給される信号が入力される。つまり電流源回路 4 2 0 の設定は、サンプリングパルス、又は設定制御線に接続された論理演算子の出力端子から供給される信号のタイミングに従って行われる。

25 なお、サンプリングパルスが出力されて、ビデオ線からビデオ信号が供給されている間のみ、スイッチ 1 0 1 (信号電流制御スイッチ) がオン状態になり、且つサ

ンプリングパルスが出力されなくなり、ビデオ線からビデオ信号が供給されなくなると、スイッチ 101（信号電流制御スイッチ）がオフ状態になる場合は、正しく動作しない。なぜなら、画素では、電流を入力するためのスイッチはオン状態のままであるからである。この状態でスイッチ 101（信号電流制御スイッチ）をオフ状態にすると、画素に電流が入力されなくなるため、正しく信号を入力できなくなる。

そこで、ビデオ線から供給されたビデオ信号を保持し、スイッチ 101（信号電流制御スイッチ）の状態を維持できるようにするために、ラッチ回路 452 が配置されている。ラッチ回路 452 は、単なる容量素子とスイッチのみで構成されていてもよいし、SRAM 回路で構成されていてもよい。このように、サンプリングパルスが出力されて、ビデオ線からビデオ信号が 1 列づつ順に供給されて、そのビデオ信号に基づき、スイッチ 101（信号電流制御スイッチ）がオン状態もしくはオフ状態になり、画素への電流の供給を制御することにより、点順次駆動を実現することができる。

しかしながら、1 列目から最終列目まで順に選択される場合、1 列目から最終列目のうち、最初の方の列では、画素に信号を入力する期間が長い。一方、1 列目から最終列目のうち、最後の方の列では、ビデオ信号を入力しても、すぐに次の行の画素が選択されてしまう。その結果、画素に信号を入力する期間が短くなってしまう。そのような場合、図 52 (B) に示すように、画素部 402 に配置された走査線を中央で分断することにより、画素に信号を入力する期間を長くすることができる。その場合、画素部 402 の左側と右側に各 1 個の走査線駆動回路を配置し、該走査線駆動回路を用いて画素を駆動する。このようにすると、同じ行に配置されている画素でも、右側の画素と左側の画素とでは、信号を入力する期間をずらすことができる。また図 52 (C) には、1、2 行目の右側と左側に配置された走査線駆動回路の出力波形とシフトレジスタ 411 のスタートパルス (S-SP) を示す。このように動作させることにより、左側の画素でも、画素に信号を入力する期間を長く

することができるため、点順次駆動を行いやすくなる。

なお、線順次駆動か点順次駆動かなどに関わりなく、電流源回路420の設定動作は、任意のタイミング、任意の列に配置された電流源回路に、任意の回数だけ行えればよい。但し、理想的には、電流源回路420に配置されたトランジスタのゲ

5 ト・ソース間に接続された容量素子に所定の電荷が保持されている限りは、設定動作を行うときのみの1回だけ行えればよい。又は、容量素子に保持された所定の電荷が放電（変動）してしまった場合に行えればよい。また、電流源回路420の設定動作に関して、どれだけの期間をかけて、全列の電流源回路420の設定動作を行つてもよい。つまり、1フレーム期間内に、全列の電流源回路420の設定動作を行
10 ってもよい。あるいは、1フレーム期間内では、数列の電流源回路420に設定動作を行つて、結果として、数フレーム期間以上かけて、全列の電流源回路420の設定動作を行つてもよい。

また本形態では、各列に1つの電流源回路に配置する場合について上述したが、本発明はこれに限定されず、複数個の電流源回路を配置してもよい。

15 また、本発明の信号線駆動回路における電流源回路について、レイアウト図を図87に、対応した回路図を図88に示す。

上記構成を有する本発明は、TFTの特性バラツキの影響を抑制し、所望の電流を外部に供給することができる。

本実施の形態は、実施の形態1～3と任意に組み合わせることが出来る。

20 (実施の形態5)

本実施の形態では、図15(A)に示した信号線駆動回路403の詳細な構成とその動作について説明するが、本実施の形態では、3ビットのデジタル階調表示を行う場合に用いる信号線駆動回路403について説明する。

25 図26には、3ビットのデジタル階調表示を行う場合における信号線駆動回路403の概略図を示す。信号線駆動回路403は、シフトレジスタ411、第1のラッチ回路412、第2のラッチ回路413、定電流回路414を有する。

動作を簡単に説明すると、シフトレジスタ 411 は、フリップフロップ回路 (FF) 等を複数列用いて構成され、クロック信号 (S-CLK)、スタートパルス (S-SP)、クロック反転信号 (S-CLKb) が入力される。これらの信号のタイミングに従って、順次サンプリングパルスが出力される。

5 シフトレジスタ 411 より出力されたサンプリングパルスは、第 1 のラッチ回路 412 に入力される。第 1 のラッチ回路 412 には、3 ビットのデジタルビデオ信号 (Digital Data 1 ~ Digital Data 3) が入力されており、サンプリングパルスが入力されるタイミングに従って、各列でビデオ信号を保持していく。

第 1 のラッチ回路 412において、最終列までビデオ信号の保持が完了すると、
10 水平帰線期間中に、第 2 のラッチ回路 413 にラッチパルスが入力され、第 1 のラッチ回路 412 に保持されていた 3 ビットのデジタルビデオ信号 (Digital Data 1 ~ Digital Data 3) は、一斉に第 2 のラッチ回路 413 に転送される。すると、第 2 のラッチ回路 413 に保持された 3 ビットのデジタルビデオ信号 (Digital Data 1 ~ Digital Data 3) は、1 行分が同時に定電流回路 414 へと入力されることに
15 なる。

第 2 のラッチ回路 413 に保持された 3 ビットのデジタルビデオ信号 (Digital Data 1 ~ Digital Data 3) が定電流回路 414 に入力されている間、シフトレジスタ 411においては再びサンプリングパルスが出力される。以後この動作を繰り返し、1 フレーム分のビデオ信号の処理を行う。

20 なお定電流回路 414 は、デジタル信号をアナログ信号に変換する役割を持つ場合もある。また定電流回路 414 には、電流源回路 420 が複数設けられる。図 27 には、 i 列目から $(i+2)$ 列目の 3 本の信号線にかかる信号線駆動回路の概略図を示す。

25 なお図 27 では、各ビットに対応したリファレンス用定電流源 109 が配置された場合について示す。

電流源回路 420 は、端子 a、端子 b 及び端子 c を有する。電流源回路 420 は、

端子aを介して入力される信号により制御される。また、端子bを介して、電流線に接続されたリファレンス用定電流源109から電流が供給される。電流源回路420と信号線S_nに接続された画素との間にはスイッチ（信号電流制御スイッチ）111～113が設けられ、前記スイッチ（信号電流制御スイッチ）111～11
5 3は、1ビット～3ビットのビデオ信号により制御される。ビデオ信号が明信号の場合、電流源回路から画素に電流が供給される。反対にビデオ信号が暗信号の場合、前記スイッチ（信号電流制御スイッチ）111～113が制御されて、画素に電流は供給されない。つまり電流源回路420は、所定の電流を流す能力を有し、該電流を画素に供給するか否かはスイッチ（信号電流制御スイッチ）111～113に
10 より制御される。

なお端子aを介して電流源回路420に入力される信号とは、シフトレジスタから供給されるサンプリングパルスに相当する。電流源回路の構成や駆動方式などによっては、サンプリングパルスは直接入力されず、設定制御線（図27には図示せず）に接続された論理演算子の出力端子から供給される信号が入力される。前記論理演算子の2つの入力端子は、一方はサンプリングパルス、他方は設定制御線から供給される信号が入力される。つまり電流源回路420の設定は、サンプリングパルス又は設定制御線に接続された論理演算子の出力端子から供給される信号のタイミングに合わせて行う。

図27において、各信号線に配置された電流源回路420が図23（A）（B）に示すような回路で構成されるときには、制御線に接続された論理演算子の出力端子から入力される信号が設定信号に相当する。また各信号線に配置された電流源回路420が図23（C）～（E）に示すような回路で構成されるときには、シフトレジスタからのサンプリングパルスが設定信号に相当する。

ここで、図27に示した構成に、上述した設定制御線と論理演算子を用いた構成を図53に示す。なお、図53には、論理演算子が配置されているが、該論理演算子の代わりに、スイッチなどを用いてもよい。

なお図27や図53において、電流線とリファレンス用定電流源は、各ビットに対応して配置されている。そして、各ビットの電流源から供給される電流値の合計が信号線に供給される。つまり、定電流源回路414は、デジタル・アナログ変換の機能も有する。

- 5 また、図27や図53に示した信号線駆動回路では、1ビット～3ビットのそれぞれに専用のリファレンス用定電流源109が配置されているが、本発明はこれに限定されない。図54に示すように、ビット数よりも少ない個数のリファレンス用定電流源109が配置されていてもよい。例えば、最上位ビット（ここでは3ビット）のリファレンス用定電流源109のみを配置して、1列に配置された複数の電流源回路から選択された1つの電流源回路を設定する。そして、既に設定動作が行われた電流源回路を用いて、他の電流源回路の動作を行う。言い換えれば、1列に配置された複数の電流源回路内で、設定情報を共有するようにしてもよい。
例えは、3ビット用の電流源回路420のみに設定動作を行う。そして、既に設定動作が行われた電流源回路420を用いて、他の1ビット用と2ビット用の電流源回路420に、情報を共有させる。より具体的には、電流源回路420の中で、電流を供給するトランジスタ（図23（A）では、トランジスタ102が相当）のゲート端子を接続し、ソース端子も接続する。その結果、情報を共有しているトランジスタ（電流を供給するトランジスタ）のゲート・ソース間電圧は、等しくなる。
- 10 なお、図54では、最下位ビット（ここでは1ビット）の電流源回路ではなく、15 最上位ビット（ここでは3ビット）の電流源回路に、設定動作を行っている。そして、既に設定動作が行われた最上位ビットの電流源回路を用いて、他の電流源回路に、情報を共有させている。このように、値の大きなビットの電流源回路に対して設定動作を行うことにより、ビット間の電流源回路の特性ばらつきの影響を小さくすることができる。仮に、最下位ビット（ここでは1ビット）の電流源回路に設定
- 20 動作を行い、上位ビットの電流源回路に情報を共有した場合、各々の電流源回路の特性がばらつくと、上位ビットの電流値が正確な値にならなくなる。上位ビットの

電流源回路は、出力する電流値が大きいため、少しでも特性がばらつくと、そのばらつきの影響が大きくでてしまい、出力する電流値も大きくばらついてしまう。反対に、最上位ビット（ここでは3ビット）の電流源回路に設定動作を行い、下位ビットの電流源回路に情報を共有した場合、各々の電流源回路の特性がばらついても、

5 出力する電流値が小さいため、ばらつきによる電流値の差が小さく、影響は小さくなる。

そして本実施の形態では、3ビットのデジタル階調表示を行う場合を例に挙げて説明する関係上、1本の信号線ごとに3つの電流源回路420が設けられている。

1本の信号線に接続された3つの電流源回路420から供給される信号電流を

10 1:2:4として設定すると、 $2^3 = 8$ 段階で電流の大きさを制御出来る。

電流源回路420の構成は、図23、図24、図37、図38、図40などに示した電流源回路420の構成を任意に用いることが出来る。電流源回路420には、1つの構成を採用するだけでなく、複数を採用してもよい。

以下には、一例として、図27、図54に示した定電流回路414の詳しい構成

15 とその動作について図7、図8、図29、図55を用いて説明する。

図7の各列に設けられた電流源回路420において、信号線S_i ($1 \leq i \leq n$) に所定の信号電流の出力をするか否かは、第2のラッチ回路413から入力されるデジタルビデオ信号が有する情報によって制御される。

図55は、ビット数と等しい個数のリファレンス用定電流源109を配置し、図

20 27に図示した信号線駆動回路には図1に示した定電流回路を適用し、電流源回路には図23(A)の構成を適用した場合の回路図を示す。図55では、設定動作時には、トランジスタA~Cはオフにして動作させる。これは電流の流れを防ぐためである。或いは、トランジスタA~Cと直列にスイッチを配置し、設定動作時にはオフにするようにしてよい。また、図7は、ビット数と等しい個数のリファレンス用定電流源109を配置し、図27に図示した信号線駆動回路には図2に示した定電流回路を適用し、電流源回路には図23(A)の構成を適用した場合の回路図

を示す。図8には、ピット数より少ない個数のリファレンス用定電流源109を配置し、図54に図示した信号線駆動回路には図1に示した定電流回路を適用し、電流源回路には図23(C)の構成を適用した場合の回路図を示す。図29には、ピット数より少ない個数のリファレンス用定電流源109を配置し、図54に示した5 信号線駆動回路には図1に示した定電流回路を適用し、電流源回路には図23(A)の構成を適用した場合の回路図を示す。

電流源回路420は、1ピットのデジタルビデオ信号により制御される第1電流源回路423a及び第2電流源回路424aと、2ピットのデジタルビデオ信号により制御される第1電流源回路423b及び第2電流源回路424bと、3ピット10 のデジタルビデオ信号により制御される第1電流源回路423c及び第2電流源回路424cとを有する。また電流源回路420は、アナログスイッチ170a及びインバータ171aと、アナログスイッチ170b及びインバータ171bと、アナログスイッチ170c及びインバータ171cとを有する。

第1電流源回路423a～423c及び第2電流源回路424a～424cは、15 一方では設定動作を行い、他方では画素へ信号を入力する動作（入力動作、画素への電流の出力）を行う。第1電流源回路423a～423c及び第2電流源回路424a～424cは、複数の回路素子を有する。図7においては第1電流源回路423a及び第2電流源回路424aの回路図を図示し、第1電流源回路423b、423c及び第2電流源回路424b、424cの回路図は、第1電流源回路420 20 3a及び第2電流源回路424aの回路図に準ずるので本実施の形態では図示を省略する。

第1電流源回路423aは、NAND150a、インバータ151a、インバータ152a、アナログスイッチ153a、アナログスイッチ154a、トランジスタ155a～157a及び容量素子158aを有する。そして第2電流源回路424aは、NAND160a、インバータ161a、インバータ162a、インバータ169a、アナログスイッチ163a、アナログスイッチ164a、トランジス25

タ165a～167a及び容量素子168aを有する。本実施の形態では、トランジスタ155a～157a、トランジスタ165a～167aは全てnチャネル型とする。

第1電流源回路423aにおいて、NAND150aの入力端子は、シフトレジ
5 スタ411と第1制御線425aに接続され、NAND150aの出力端子は、イ
ンバータ151aの入力端子に接続されている。インバータ151aの出力端子は、
トランジスタ155a及びトランジスタ156aのゲート電極に接続されている。
アナログスイッチ153aは、NAND150aの出力端子から入力される信号
と、インバータ151aの出力端子から入力される信号により導通又は非導通が選
10 択される。インバータ152aの入力端子は、第1制御線425aに接続されてい
る。そしてアナログスイッチ154aは、第1制御線425aとインバータ152
aの出力端子から入力される信号により導通又は非導通が選択される。
トランジスタ155aのソース領域とドレイン領域は、一方は第1電流線426
aに接続され、他方はトランジスタ157aのソース領域とドレイン領域の一方に
15 接続されている。トランジスタ156aのソース領域とドレイン領域は、一方は第
1電流線426aに接続され、他方は容量素子158aの一方の端子とトランジス
タ157aのゲート電極に接続されている。トランジスタ157aのソース領域と
ドレイン領域は、一方はVssに接続され、他方はアナログスイッチ153aに接続
されている。
20 容量素子158aは、一方の端子はVssに接続され、他方の端子はトランジスタ
157aのゲート電極に接続されている。容量素子158aは、トランジスタ15
7aのゲート・ソース間電圧を保持する役目を担う。

第2電流源回路424aにおいて、インバータ169aの入力端子が第1制御線
425aに接続されている。そしてインバータ169aの出力端子は、NAND1
25 60aの一方の入力端子に接続されている。またNAND160aの他方の入力端
子は、シフトレジスタ411に接続されている。NAND160aの出力端子は、

インバータ 161a の入力端子に接続されている。インバータ 161a の出力端子は、トランジスタ 165a 及びトランジスタ 166a のゲート電極に接続されている。

アナログスイッチ 163a は、NAND 160a の出力端子から入力される信号と、インバータ 161a の出力端子からの入力される信号により導通又は非導通が選択される。またインバータ 162a の入力端子は、第 1 制御線 425a に接続されている。そしてアナログスイッチ 164a は、第 1 制御線 425a とインバータ 162a の出力端子から入力される信号により導通又は非導通が選択される。

トランジスタ 165a のソース領域とドレイン領域は、一方は第 1 電流線 426a に接続され、他方はトランジスタ 167a のソース領域とドレイン領域の一方に接続されている。トランジスタ 166a のソース領域とドレイン領域は、一方は第 1 電流線 426a に接続され、他方は容量素子 168a の一方の端子とトランジスタ 167a のゲート電極に接続されている。トランジスタ 167a のソース領域とドレイン領域は、一方は V_{ss} に接続され、他方はアナログスイッチ 163a に接続されている。

容量素子 168a は、一方の端子は V_{ss} に接続され、他方の端子はトランジスタ 167a のゲート電極に接続されている。容量素子 168a は、トランジスタ 167a のゲート・ソース間電圧を保持する役目を担う。

そして図 7 に示す第 1 電流源回路 423a と第 2 電流源回路 424a の動作は、図 3 及び図 4 を用いて示した第 1 電流源回路 421 と第 2 電流源回路 422 の動作と同じであるので、本実施の形態では説明は省略する。

なお、図 7 に示す電流源回路 420 において、第 1 電流源回路 423a 又は第 2 電流源回路 424a から供給される信号電流と、第 1 電流源回路 423b 又は第 2 電流源回路 424b から供給される信号電流と、第 1 電流源回路 423c 又は第 2 電流源回路 424c から供給される信号電流の総和が、信号線 S_i に流れる。つまり第 1 電流源回路 423a 又は第 2 電流源回路 424a から供給される信号電流

と、第1電流源回路423b又は第2電流源回路424bから供給される信号電流と、第1電流源回路423c又は第2電流源回路424cから供給される信号電流を1:2:4として設定すると、23=8段階で電流の大きさを制御出来る。

図7に示す電流源回路420では、3ビットのデジタルビデオ信号により、アナログスイッチ170a～170cのオン又はオフが選択される。仮に、アナログスイッチ170a～170cが全てオンになった場合、信号線に供給される電流は、第1電流源回路423a又は第2電流源回路424aから供給される信号電流と、第1電流源回路423b又は第2電流源回路424bから供給される信号電流と、第1電流源回路423c又は第2電流源回路424cから供給される信号電流の総和となる。また仮に、アナログスイッチ170aのみがオンになった場合、第1電流源回路423a又は第2電流源回路424aにから供給される信号電流のみが信号線に供給される。

電流源回路から供給される電流値は異なるため、第1電流線426a～第3電流線426cに流れる電流値を1:2:4となるように設定することが必要となる。

ここでは、図7に示す電流源回路420が有するトランジスタは全てnチャネル型としたが、本発明はこれに限定されない。電流源回路420は、pチャネル型のトランジスタを用いることもできる。pチャネル型のトランジスタを用いた場合における電流源回路420の動作は、電流の流れる方向が変わる点と、容量素子がVssではなくVddに接続される点以外は上述した動作に準ずるので、説明は省略する。

また図7において、電流源回路423b、423cと電流源回路424b、424cの詳しい回路構成の図示は省略したが、電流源回路423b、423cと電流源回路424b、424cには図23(A)に示す構成の電流源回路ではなく、図23(C)～(E)に示す構成の電流源回路を用いてよい。つまり、複数ビットのデジタル階調表示を行う場合に用いる信号線駆動回路に用いる電流源回路は、複数の構成を組み合わせて設計することが可能である。

また、電流源回路にpチャネル型のトランジスタを用いる場合、VssとVddを入れ替えない場合、つまり電流の流れる方向が変わらない場合は、図23と図24の対比を用いれば、容易に適用できる。また、単なるスイッチとして動作させるトランジスタの極性は特に限定されない。

5 次いで、上記とは異なる定電流回路414の構成とその動作について図8を用いて説明する。図8の電流源回路420において、信号線S_i（1≤i≤n）に所定の信号電流の出力をするか否かは、第2のラッチ回路413から入力されるデジタルビデオ信号が有する情報によって制御される。

電流源回路420は、トランジスタ180～トランジスタ188及び容量素子189を有する。本実施の形態では、トランジスタ180～トランジスタ188は全てnチャネル型とする。

トランジスタ180のゲート電極には、第2のラッチ回路413から1ビットのデジタルビデオ信号が入力される。またトランジスタ180のソース領域とドレイン領域は、一方はソース信号線（S_i）に接続され、他方はトランジスタ183のソース領域とドレイン領域の一方に接続されている。

トランジスタ181のゲート電極には、第2のラッチ回路413から2ビットのデジタルビデオ信号が入力される。またトランジスタ181のソース領域とドレイン領域は、一方はソース信号線（S_i）に接続され、他方はトランジスタ184のソース領域とドレイン領域の一方に接続されている。

20 トランジスタ182のゲート電極には、第2のラッチ回路413から3ビットのデジタルビデオ信号が入力される。またトランジスタ182のソース領域とドレイン領域は、一方はソース信号線（S_i）に接続され、他方はトランジスタ185のソース領域とドレイン領域の一方に接続されている。

トランジスタ183～トランジスタ185のソース領域とドレイン領域は、一方25 はVssに接続され、他方はトランジスタ180～トランジスタ182のソース領域とドレイン領域の一方に接続されている。トランジスタ186のソース領域とドレ

イン領域は、一方は V_{SS} に接続され、他方はトランジスタ 188 のソース領域とドレイン領域の一方に接続されている。

トランジスタ 187 とトランジスタ 188 のゲート電極には、シフトレジスタ 41 1 から信号が入力される。トランジスタ 187 のソース領域とドレイン領域は、一
5 方はトランジスタ 186 のソース領域とドレイン領域の一方に接続され、他方は容
量素子 189 の一方の電極に接続されている。トランジスタ 188 のソース領域と
ドレイン領域は、一方は電流線 190 に接続され、他方はトランジスタ 186 のソ
ース領域とドレイン領域の一方に接続されている。

容量素子 189 の一方の電極は、トランジスタ 183～トランジスタ 186 のゲ
10 ート電極に接続され、他方の電極は V_{SS} に接続されている。容量素子 189 は、ト
ランジスタ 183～トランジスタ 186 のゲート・ソース間電圧を保持する役目を
担う。

図 8 に示す電流源回路 420 は、トランジスタ 180、181、183、184
が追加して設計されている以外は、図 5 を用いて説明した電流源回路 420 の動作
15 に準ずる。そのためここでは、図 8 に示す電流源回路 420 の動作の説明は省略す
る。

なお図 8 に示す電流源回路は、図 5 に示すように、ビット数よりも少ない個数
のリファレンス用定電流源 109 を配置した場合を示す。

また図 8 に示す電流源回路 420において、トランジスタ 183～185 のドレ
20 イン電流の総和が信号線 S_i に流れる。ここでは、トランジスタ 183～185 の
各々のドレイン電流を 1 : 2 : 4 として設定し、23 = 8 段階で電流の大きさを制
御している。つまり、トランジスタ 183～185 から供給される電流値の相違は、
トランジスタ 183～185 の W/L 値を 1 : 2 : 4 として設計したことに起因し、
各々のオン電流は 1 : 2 : 4 となるように設定されている。

25 そして図 8 に示す電流源回路 420において、3 ビットのデジタルビデオ信号に
より、トランジスタ 180～182 のオン又はオフが選択される。例えば、トラン

ジスタ 180～182が全てオンになったときは、信号線に供給される電流は、トランジスタ 183～185のドレイン電流の総和となる。また、トランジスタ 180のみがオンになったときは、トランジスタ 183のドレイン電流のみが信号線に供給される。

5 このように、トランジスタ 183～185のゲート端子を互いに接続することにより、設定動作による情報を共有させることができる。なお、ここでは、同じ列のトランジスタ内で、情報を共有しているが、本発明はこれに限定されない。例えば、同じ列以外のトランジスタと、設定動作による情報を共有させてもよい。つまり、設定動作による情報を共通させるために、トランジスタのゲート端子を、別の列の
10 トランジスタと接続させてもよい。これにより、設定すべき電流源回路の数を減らすことができる。そのため、設定動作を行うために必要な時間を短縮することができる。また、回路数を減らすことができるので、レイアウト面積を小さくすることができます。

また図 29 には、図 8 とは異なる回路構成の電流源回路 420 を示す。図 29 に
15 示す電流源回路 420 では、トランジスタ 186～188 の代わりにスイッチ 191、192 が配置された構成になっている。

そして図 29 に示す電流源回路 420 では、スイッチ 191 及び 192 がオンになると、電流線 190 に接続されたリファレンス用定電流源（図示せず）から供給される電流が容量素子 189 に流れしていく点以外は、図 27 に示す電流源回路 420 の動作と同じがあるので、ここでは説明は省略する。

なお、図 29 では、電流源回路の設定動作時には、トランジスタ 182 はオフにして動作させる。これは電流のもれを防ぐためである。或いは、トランジスタ 182 と直列にスイッチ 203 を配置して、設定動作時にはスイッチ 203 をオフにして、それ以外のときにはオンにするようにしてもよい。このときの電流源回路を、
25 図 56 に示す。

なお、図 8、図 29、図 56 の電流源回路 420 が有するトランジスタは全て n

チャネル型としたが、本発明はこれに限定されない。電流源回路 420 には、p チャネル型のトランジスタを用いてもよい。なお、p チャネル型のトランジスタを用いた場合、電流の流れる方向が変わる点と、容量素子が Vss ではなく Vdd に接続される点以外は上述した動作と同じであるので、ここでは説明は省略する。

5 また、p チャネル型のトランジスタを用いて電流源回路を構成する場合であり、且つ VSS と Vdd を入れ替えない場合、つまり電流の流れる方向が変わらない場合は、図 23 と図 24 の対比を用いれば、容易に適用できる。また多相化を図ることや、点順次駆動を行うことも容易に実現することが出来る。

また本実施の形態では、3 ビットのデジタル階調表示を行う場合における信号線 10 駆動回路の構成とその動作について説明した。しかしながら、本発明は 3 ビットに限らず、任意のビット数の表示を行うことが出来る。また本実施の形態は、実施の形態 1～4 と任意に組み合わせることが可能である。

なお図 27 では、図 1 に示すように、1 本の信号線につき各ビットに対応した電流源回路を 1 つずつ配置した。しかし、図 2 に示すように、1 本の信号線駆動回路 15 につき各ビットに対応した電流源回路を複数配置してもよい。このときの図を図 5 7 に示す。なお図 7 の構成は、図 27 の構成に図 5 7 の構成を適用した場合の図に相当する。同様に、図 5 4 では、複数の電流源回路内において、設定情報を共有している。このときの図を図 5 8 に示す。

次に、図 5 3 の示した回路の詳しい構成について図 5 9、図 6 0、図 6 1、図 6 20 2 に示す。図 5 3 に示した回路では、設定制御線や論理演算子が配置され、該設定制御線と該論理演算子を用いて、電流源回路の設定動作を行うタイミングを制御する。

図 5 9 には、ビット数と等しい個数のリファレンス用定電流源 109 を配置し、図 5 3 に図示した信号線駆動回路に図 1 に示した定電流回路を適用し、電流源回路 25 に図 23 (A) の構成を用いた場合の回路図を示す。図 5 9 に示す構成では、設定動作時にはトランジスタ A～C はオフにして動作させる。これは電流のもれを防ぐ

ためである。或いは、トランジスタ A～C と直列にスイッチを配置し、設定動作時には該スイッチをオフにするようにしてもよい。図 27 の構成と図 53 の構成で対応させると、図 59 は図 55 に対応する。つまり、図 59 の構成は図 53 に対応し、図 55 の構成は図 27 に対応する。

- 5 図 60 には、ピット数と等しい個数のリファレンス用定電流源 109 を配置し、図 53 に図示した信号線駆動回路に図 2 に示した定電流回路を適用し、電流源回路に図 23 (A) の構成を用いた場合の回路図を示す。図 27 の構成と図 53 の構成で対応させると、図 60 は図 7 に対応する。つまり、図 60 の構成は図 53 に対応し、図 7 の構成は図 27 に対応する。
- 10 図 61 には、ピット数より少ない個数のリファレンス用定電流源 109 を配置し、図 53 に図示した信号線駆動回路には図 54 に示した構成のように情報を共有し、且つ図 1 に示した定電流回路を適用し、さらに電流源回路に図 23 (C) の構成を用いた場合の回路図を示す。図 27 の構成と図 54 の構成と図 53 の構成で対応させると、図 61 は図 8 に対応する。
- 15 図 62 には、ピット数より少ない個数のリファレンス用定電流源 109 を配置し、図 53 に図示した信号線駆動回路には図 54 に示した構成のように情報を共有し、且つ図 1 に示した定電流回路を適用し、さらに電流源回路に図 23 (A) の構成を用いた場合の回路図を示す。図 27 の構成と図 54 の構成と図 53 の構成で対応させると、図 62 は図 29 に対応する。
- 20 なお、図 59、図 60、図 61、図 62 中には、論理演算子が配置されているが、該論理演算子の代わりに、スイッチなどを用いてもよい。前記論理演算子は、電流源回路の設定動作を行うか否かを切り替えているだけなので、切り替えるための制御ができる回路であれば、どのような回路を用いててもよい。但し、図 60 では、第 4 設定制御線を用いて、電流源回路の設定動作を行うかどうかを切り替え、第 1～
- 25 第 3 設定制御線を用いて、どちらの電流源回路に設定動作を行い、どちらの電流源回路に入力動作をさせるかを制御する。また、電流源回路の設定動作を、1 列目か

ら最終列目まで順に行うのではなく、ランダムに行っててもよい。その場合、シフトレジスタ 411 として、図 43 に示したデコーダ回路などの回路を用いてもよい。また、図 44、図 45、図 46 に示した回路を用いてもよい。

(実施の形態 6)

- 5 電流源回路に電流を供給するリファレンス用定電流源 109 は、基板上に信号線駆動回路と一体形成してもよいし、IC 等を用いて基板の外部に配置してもよい。基板上に一体形成する場合には、図 23～25、図 38、図 37、図 40 などに示した電流源回路のいずれを用いて形成してもよい。或いは、単に 1 個のトランジスタを配置して、ゲートに加える電圧に応じて、電流値を制御するようにしてもよい。
- 10 本実施の形態では、リファレンス用定電流源 109 の構成とその動作について説明する。

図 30 には、一例として、最も簡単な場合を示す。つまり、トランジスタのゲートに電圧を加えて、ゲートの電圧を調節する方式であり、且つ、3 本の電流線が必要な場合を示す。仮に 1 本の電流線のみが必要な場合は、単純に、トランジスタ 1840、1850 とそれに対応する電流線を図 30 から削除すればよい。図 30 では、端子 f を介して、外部から、トランジスタ 1830、1840、1850 に印加するゲート電圧を調節することにより、電流の大きさを制御している。なお、このとき、トランジスタ 1830、1840、1850 の W/L 値を 1：2：4 として設計すると、それぞれのオン電流は 1：2：4 となる。

- 15 20 次に、図 31 (A) には、端子 f から電流を供給する場合について述べる。図 30 のように、ゲート電圧を加えて調節する場合には、温度特性などにより電流値が変動してしまうことがある。しかしながら、図 31 (A) のように電流で入力すると、その影響を抑制することができる。

なお、図 30、図 31 (A) の構成の場合、電流線に電流を流し続けている間は、端子 f から電圧や電流を入力し続ける必要がある。しかし、電流線に電流を流す必要が無い場合は、端子 f から電圧や電流を入力している必要はない。

また図31(B)に示すようにスイッチと容量素子を追加してもよい。そうすると、電流線に電流を供給しているときでも、リファレンス用ICからの供給(端子fから入力する電流や電圧)を停止することが可能となり、消費電力が小さくなる。なお図30、図31に示した構成では、リファレンス用定電流源に配置された他の
5 電流源用トランジスタと情報を共有していた。つまり、トランジスタ1830、1840、1850のゲート端子は、互いに接続されていた。

そこで図32には、各々の電流源回路に設定動作を行う場合について示す。図27では、端子fから電流を入力し、端子eから供給される信号によりタイミングを制御する。なお図27に示した回路には、図23、24、図38、図37、図40
10 などに示す構成を適用することができる。なお図32に示した回路は、図23(A)の回路を適用した例である。よって、設定動作と入力動作とを同時に行えない。したがって、この回路の場合には、リファレンス用定電流源に対する設定動作は、電流線に電流を流す必要がないタイミングで行う必要がある。

図33には、多相化させたリファレンス用定電流源109の例を示す。つまり、
15 図47に示した構成を適用したリファレンス用電流源109に相当する。多相化の場合には、図32、図30、図31の回路を適用してもよい。しかしながら、電流線に供給される電流値は同じなので、図33のように、1つの電流を用いて、各々の電流源回路に対して設定動作を行えば、外部から入力する電流数を削減することができる。

20 本実施の形態は、実施の形態1~5と任意に組み合わせることが可能である。

(実施の形態7)

これまでの実施の形態では、主に、信号電流制御スイッチが存在する場合について述べてきた。本実施の形態では、信号電流制御スイッチが無い場合、つまり、信号線とは異なる別の配線に、ビデオ信号には比例しない電流(一定の電流)を供給
25 する場合について述べる。この場合にはスイッチ101(信号電流制御スイッチ)を配置する必要はない。

なお、信号電流制御スイッチが存在しない場合には、信号電流制御スイッチが無いことを除けば、信号電流制御スイッチが存在する場合と同様である。よって、簡単に説明し、同様な部分については、省略する。

信号電流制御スイッチを配置する場合と配置しない場合とを対比させると、図 1-5 については図 3-4、図 2 については図 3-5 に示す。図 6 (B) については、図 6-3 (A) に示す。これまでの実施の形態では、ビデオ信号により信号電流制御スイッチを制御して、電流を信号線に出力していた。本実施の形態では、電流は画素用電流線に出力される。信号線にはビデオ信号が出力される。

この場合の画素構成について、概略図を図 6-3 (B) に示す。次に、画素の動作方法について簡単に述べる。まず、スイッチング用トランジスタがオンの時、信号線を通って、ビデオ信号が画素に入力され、容量素子に保存される。そして、ビデオ信号の値により、駆動用トランジスタがオン又はオフする。一方、電流源回路は、一定の電流が流す能力を有している。よって、駆動用トランジスタがオンの場合は、発光素子に一定の電流がながれて、発光する。駆動用トランジスタがオフの場合は、発光素子に電流が流れず、発光しない。このようにして、画像を表示している。ただし、この場合、発光と非発光の 2 状態しか表現できない。よって、時間階調法や面積階調法などを用いて、多階調化をはかっている。

なお、電流源回路の部分には、図 2-3、図 2-4、図 3-7、図 3-8、図 4-0などのいずれの回路を適用してもよい。そして、電流源回路が一定の電流を流せるようにするには、設定動作を行えばよい。画素の電流源回路に設定動作を行う場合は、画素用電流線を通して電流を入力して、実行する。画素の電流源回路に対する設定動作は、任意の時に、任意のタイミングで、任意の回数だけ行えばよい。画素に配置された電流源回路に対する設定動作は、画像を表示するための動作とは、全く無関係に実行することができる。電流源回路内に配置された容量素子に保存されている電荷が漏ってきたときには、設定動作を行えばよい。

次に、図 6-3 (A) に示した定電流回路 4-1-4 の詳しい構成を図 6-4、図 6-5 に

示す。また、図64、図65の構成に、設定制御線と論理演算子を配置し、信号線駆動回路の電流源回路の設定動作を行うタイミングを制御できる場合を、図66、図67に示す。ここで、図64、図66は、電流源回路の部分に、図23(A)を適用した場合の回路を示す。図65、図67は、電流源回路の部分に、図23(E)5を適用した場合の回路を示す。なお、図66、図67には論理演算子が配置されているが、スイッチなどで代用してもよい。

また、図63(A)に示した電流源回路の部分に、図35の構成を適用した場合について考える。この場合の定電流回路414の詳しい構成について、図68に示す。また、図68の構成に、設定制御線と論理演算子を配置し、信号線駆動回路の10電流源回路の設定動作を行うタイミングを制御できる場合を、図69に示す。ここで、図68、図69は、電流源回路の部分に、図23(A)を適用した場合の回路を示す。図68では、設定制御線を制御することにより、一方の電流源に対して設定動作を行い、同時に、もう一方の電流源が入力動作を行うことができる。同様に、図69では、第2設定制御線を制御することにより、一方の電流源に対して設定動15作を行い、同時に、もう一方の電流源が入力動作を行うことができる。そして、第1設定制御線を制御することにより、信号線駆動回路の電流源回路の設定動作を行うタイミングを制御できる。

このように、信号電流制御スイッチが存在しない場合、信号電流制御スイッチがないことを除けば、信号電流制御スイッチが存在する場合と同様である。よって、20詳しい説明は省略する。

本実施の形態は、実施の形態1～6と任意に組み合わせることが可能である。

(実施の形態8)

本発明の実施の形態について、図70を用いて説明する。図70(A)において、画素部の上方に信号線駆動回路、下方に定電流回路を配置し、前記信号線駆動回路25に電流源A、定電流回路に電流源Bを配置する。電流源A、Bから供給される電流をIA、IBとし、画素に供給される信号電流をIdataとすると、 $IA=IB+Idata$ が成

立する。そして、画素に信号電流を書き込む際には、電流源 A、B の両者から電流を供給するように設定する。このとき、IA、IB を大きくすると、画素に対する信号電流の書き込み速度を早くすることができる。

このとき、電流源 A を用いて、電流源 B の設定動作を行う。画素には、電流源 A 5 からの電流から電流源 B の電流を差し引いた電流が流れる。したがって、電流源 A を用いて、電流源 B の設定動作を行うことにより、さまざまなノイズなどの影響をより小さくできる。

図 70 (B)において、リファレンス用定電流源（以下定電流源と表記）C、E は、画素部の上方と下方に配置される。そして、電流源 C、E を用いて、信号線駆 10 動回路、定電流回路に配置された電流源回路の設定動作を行う。電流源 D は、電流源 C、E を設定する電流源に相当し、外部からリファレンス用電流が供給される。

なお、図 70 (B)において、下方に配置してある定電流回路を信号線駆動回路としてもよい。それにより、上方と下方の両方に信号線駆動回路が配置できる。そして、各々、画面（画素部全体）の上下半分ずつの制御を担当する。このようにす 15 ることで、同時に 2 行分の画素を制御できる。そのため、信号線駆動回路の電流源、画素、画素の電流源などへの設定動作（信号入力動作）のための時間を長くとることが可能となる。そのため、より正確に設定できるようになる。

本実施の形態は、実施の形態 1～7 と任意に組み合わせることが可能である。

〈実施例 1〉

20 本実施例では、時間階調方式について図 14 を用いて詳しく説明する。通常、液晶表示装置や発光装置等の表示装置においては、フレーム周波数は 60 Hz 程度である。つまり図 14 (A) に示すように、1 秒間に 60 回程度の画面の描画が行われる。これにより、人間の眼にフリッカ（画面のちらつき）を感じさせないようにすることが出来る。このとき、画面の描画を 1 回行う期間を 1 フレーム期間と呼ぶ。 25 本実施例では一例として、特許文献 1 の公報にて公開されている時間階調方式を説明する。時間階調方式では、1 フレーム期間を複数のサブフレーム期間に分割す

る。このときの分割数は、階調ビット数に等しい場合が多い。そしてここでは簡単のため、分割数が階調ビット数に等しい場合を示す。つまり本実施例では3ビット階調であるので、3つのサブフレーム期間SF1～SF3に分割している例を示す(図14(B))。

5 各サブフレーム期間は、アドレス(書き込み)期間Taと、サステイン(発光)期間Tsを有する。アドレス期間とは、画素にビデオ信号を書き込む期間であり、各サブフレーム期間での長さは等しい。サステイン期間とは、アドレス期間において画素に書き込まれたビデオ信号に基づいて発光素子が発光又は非発光する期間である。このとき、サステイン期間Ts1～Ts3は、その長さの比をTs1：Ts2：Ts3=4：2：1とする。つまり、nビット階調を表現する際、n個のサステイン期間の長さの比は、2(n-1)：2(n-2)：……：21：20とする。そして、どのサステイン期間で発光素子が発光又は非発光するかにより、1フレーム期間における各画素が発光する期間の長さが決定し、これによって階調表現を行う。

次いで、時間階調方式を適用した画素における具体的な動作について説明するが、
15 本実施例では図16(B)に示す画素を参照して説明する。図16(B)に示す画素は、電流入力方式が適用される。

まずアドレス期間Taにおいては、以下の動作を行う。第1の走査線602および第2の走査線603が選択されて、TFT606、607がオンする。このとき、信号線601を流れる電流を信号電流Idataとなる。そして容量素子610には所定の電荷が蓄積されると、第1の走査線602および第2の走査線603の選択が終了して、TFT606、607がオフする。

次いでサステイン期間Tsにおいては、以下の動作を行う。第3の走査線604が選択されて、TFT609がオンする。容量素子610には先ほど書き込んだ所定の電荷が保持されているため、TFT608はオンしており、電流線605から信号電流Idataに等しい電流が流れ。これにより発光素子611が発光する。

以上の動作を各サブフレーム期間で行うことにより、1フレーム期間を構成する。

この方法によると、表示階調数を増やしたい場合は、サブフレーム期間の分割数を増やせば良い。また、サブフレーム期間の順序は、図14(B) (C)に示すように、必ずしも上位ビットから下位ビットといった順序である必要はなく、1フレーム期間中、ランダムに並んでいても良い。さらに各フレーム期間内に、その順序は変化

5 しても良い。

また、m行目の走査線のサブフレーム期間S F 2を図14 (D)に図示する。図14 (D)に図示するように、画素ではアドレス期間T a 2が終了したら、直ちにサステイン期間T s 2が開始されている。

次に、信号線駆動回路の電流源回路において、設定動作を行うタイミングについて述べる。

なお電流源回路には、設定動作と入力動作を同時に行うことができる方式と、同時に行うことができない方式があることは上記の実施の形態において上述した。

前者の設定動作と入力動作を同時に行うことができる電流源回路では、各動作を行うタイミングは特に限定されない。これは、図2や図54などのように、1列に複数の電流源回路が配置されている場合も同様である。しかしながら、後者の設定動作及び入力動作を同時に行うことができない電流源回路では、設定動作を行うタイミングに工夫が必要となる。時間階調方式を採用した場合には、出力動作を行っていないときに設定動作を行う必要がある。例えば図1のドライバ部の構成と、図16 (B)の構成の画素を有する場合は、画素部のどの走査線においてもアドレス期間T aでない期間において、設定動作を行うようにすることが必要となる。また図34のドライバ部の構成と、図63 (B)の構成の画素を有する場合、画素に配置された電流源回路に設定動作を行っていない間に、ドライバ部に配置された電流源回路の設定動作を行う必要がある。

なおそのときには、電流源回路を制御するシフトレジスタの周波数を、低速に設定できる場合がある。そうすると、電流源回路の設定動作に時間をかけて正確に行なうことが出来る。

あるいは、電流源回路を制御する回路（シフトレジスタ）として、図4 3などの回路を用いて、ランダムに電流源回路の設定動作を行うようにしてもよい。また、図4 4、図4 5、図4 6などの回路を用いててもよい。すると、たとえ、設定動作を行える期間が、1フレーム内で、点在していても、その期間を有効に利用して設定5 動作を行うことができる。また、すべての電流源回路の設定動作を1フレーム期間内でやるのではなく、数フレーム期間以上かけて実行してもよい。このようにすることにより、電流源回路の設定動作に時間をかけて正確に行うことが出来る。

なお、図1のドライバ部の構成と、図1 6 (B) の構成の画素を有する場合には、10 入力動作は、画素部の走査線が選択される期間(アドレス期間T a)に行えばよい。また、図1のドライバ部の構成と、図6 3 (B) の構成の画素を有する場合には、画素に配置された電流源回路に設定動作を行っていない間に、ドライバ部に配置された電流源回路の設定動作を行えばよい。

本実施例は、実施の形態1～8と任意に組み合わせることが可能である。

〈実施例2〉

15 本実施例では、画素部に設けられる画素の回路の構成例について図1 3、図7 1を用いて説明する。

なお電流を入力する部分を含むような構成を有する画素であれば、どのような構成の画素にも適用できる。

20 図1 3 (A) の画素は、信号線1 1 0 1、第1及び第2の走査線1 1 0 2、1 1 0 3、電流線（電源線）1 1 0 4、スイッチング用TFT1 1 0 5、保持用TFT1 1 0 6、駆動用TFT1 1 0 7、変換駆動用TFT1 1 0 8、容量素子1 1 0 9、発光素子1 1 1 0とを有する。信号線1 1 0 1は電流源回路1 1 1 1に接続されている。

25 なお、電流源回路1 1 1 1が、信号線駆動回路4 0 3に配置されている電流源回路4 2 0に相当する。

図1 3 (A) の画素は、スイッチング用TFT1 1 0 5のゲート電極は、第1の

走査線 1102 に接続され、第 1 の電極は信号線 1101 に接続され、第 2 の電極は駆動用 TFT1107 の第 1 の電極と、変換駆動用 TFT1108 の第 1 の電極とに接続されている。保持用 TFT1106 のゲート電極は、第 2 の走査線 1103 に接続され、第 1 の電極は信号線 1102 に接続され、第 2 の電極は駆動用 TFT1107 のゲート電極と、変換駆動用 TFT1108 のゲート電極とに接続され 5 ている。駆動用 TFT1107 の第 2 の電極は、電流線（電源線）1104 に接続され、変換駆動用 TFT1108 の第 2 の電極は、発光素子 1110 の一方の電極に接続されている。容量素子 1109 は、変換駆動用 TFT1108 のゲート電極と第 2 の電極との間に接続され、変換駆動用 TFT1108 のゲート・ソース間電 10 圧を保持する。電流線（電源線）1104 および発光素子 1110 の他方の電極には、それぞれ所定の電位が入力され、互いに電位差を有する。

なお、図 13 (A) の画素は、図 38 (B) の回路を画素に適用した場合に相当する。ただし、電流の流れる向きが異なるため、トランジスタの極性は、反対になっている。図 13 (A) の駆動用 TFT1107 が図 38 (B) の TFT126 に相当し、図 13 (A) の変換駆動用 TFT1108 が図 38 (B) の TFT122 に相当し、図 13 (A) の保持用 TFT1106 が図 38 (B) の TFT124 に相当する。

図 13 (B) の画素は、信号線 1151、第 1 及び第 2 の走査線 1142、1143、電流線（電源線）1144、スイッチング用 TFT1145、保持用 TFT1146、変換駆動用 TFT1147、駆動用 TFT1148、容量素子 1149、20 発光素子 1140 とを有する。信号線 1151 は電流源回路 1141 に接続されて いる。

なお、電流源回路 1141 が、信号線駆動回路 403 に配置されている電流源回路 420 に相当する。

25 図 13 (B) の画素は、スイッチング用 TFT1145 のゲート電極は、第 1 の走査線 1142 に接続され、第 1 の電極は信号線 1151 に接続され、第 2 の電極

は駆動用 TFT1148 の第 1 の電極と、変換駆動用 TFT1148 の第 1 の電極とに接続されている。保持用 TFT1146 のゲート電極は、第 2 の走査線 1143 に接続され、第 1 の電極は駆動用 TFT1148 の第 1 の電極に接続され、第 2 の電極は駆動用 TFT1148 のゲート電極と、変換駆動用 TFT1147 のゲート電極とに接続されている。
5 変換駆動用 TFT1147 の第 2 の電極は、電流線（電源線） 1144 に接続され、変換駆動用 TFT1147 の第 2 の電極は、発光素子 1140 の一方の電極に接続されている。容量素子 1149 は、変換駆動用 TFT1147 のゲート電極と第 2 の電極との間に接続され、変換駆動用 TFT1147 のゲート・ソース間電圧を保持する。電流線（電源線） 1144 および発光素子 10 1140 の他方の電極には、それぞれ所定の電位が入力され、互いに電位差を有する。
なお、図 13 (B) の画素は、図 6 (B) の回路を画素に適用した場合に相当する。ただし、電流の流れる向きが異なるため、トランジスタの極性は、反対になっている。図 13 (B) の変換駆動用 TFT1147 が図 6 (B) の TFT122 に相当し、図 13 (B) の駆動用 TFT1148 が図 6 (B) の TFT126 に相当し、
15 図 13 (B) の保持用 TFT1146 が図 6 (B) の TFT124 に相当する。

図 13 (C) の画素は、信号線 1121、第 1 の走査線 1122、第 2 の走査線 1123、第 3 の走査線 1135、電流線（電源線） 1124、スイッチング用 TFT1125、画素用電流線 1138、消去用 TFT1126、駆動用 TFT1127、容量素子 1128、電流源 TFT1129、ミラー TFT1130、容量素子 1131、電流入力 TFT1132、保持 TFT1133、発光素子 1136 を有する。画素用電流線 1138 は、電流源回路 1137 に接続される。

図 13 (C) の画素は、スイッチング用 TFT1125 のゲート電極は、第 1 の走査線 1122 に接続され、スイッチング用 TFT1125 の第 1 の電極は信号線 1121 に接続され、スイッチング用 TFT1125 の第 2 の電極は駆動用 TFT1127 のゲート電極と、消去用 TFT1126 の第 1 の電極とに接続されている。
25 消去用 TFT1126 のゲート電極は、第 2 の走査線 1123 に接続され、消去用

TFT1126の第2の電極は電流線（電源線）1124に接続されている。駆動用TFT1127の第1の電極は発光素子1136の一方の電極に接続され、駆動用TFT1127の第2の電極は電流源TFT1129の第1の電極に接続されている。電流源TFT1129の第2の電極は電流線1124に接続されている。

5 容量素子1131の一方の電極は、電流源TFT1129のゲート電極及びミラーTFT1130のゲート電極に接続され、他方の電極は電流線（電源線）1124に接続されている。ミラーTFT1130の第1の電極は電流線1124に接続され、ミラーTFT1130の第2の電極は、電流入力TFT1132の第1の電極に接続されている。電流入力TFT1132の第2の電極は電流線（電源線）11
10 24に接続され、電流入力TFT1132のゲート電極は第3の走査線1135に接続されている。電流保持TFT1133のゲート電極は第3の走査線1135に接続され、電流保持TFT1133の第1の電極は画素用電流線1138に接続され、電流保持TFT1133の第2の電極は電流源TFT1129のゲート電極及びミラーTFT1130のゲート電極に接続されている。電流線（電源線）112
15 4および発光素子1136の他方の電極には、それぞれ所定の電位が入力され、互いに電位差を有する。

ここで、電流源回路1137が、信号線駆動回路403に配置されている電流源回路420に相当する。

なお、図13（C）の画素は、図63（B）の画素に、図23（E）の回路を画素に適用した場合に相当する。ただし、電流の流れる向きが異なるため、トランジスタの極性は、反対になっている。なお、図13（C）の画素には、消去用TFT1126が追加されている。消去用TFT1126により、点灯期間の長さを自由に制御できるようになる。

スイッチング用TFT1125は画素に対するビデオ信号の供給を制御する役割を担う。消去用TFT1126は容量素子1131に保持された電荷を放電する役割を担う。駆動用TFT1127は、容量素子1131に保持された電荷に応じ

て、導通又は非導通が制御される。電流源TFT1129とミラーTFT1130はカレントミラー回路を形成する。電流線1124及び発光素子1136の他方の電極には、それぞれ所定の電位が入力され、互いに電位差を有する。

つまり、スイッチング用TFT1125がオンになると、信号線1121を通つ
5 て、ビデオ信号が画素に入力され、容量素子1128に保存される。そして、ビデ
オ信号の値により、駆動用TFT1127がオン又はオフする。よって、駆動用T
F T 1 1 2 7 がオンの場合は、発光素子に一定の電流がながれて、発光する。駆動
用TFT1127がオフの場合は、発光素子に電流が流れず、発光しない。このよ
うにして、画像を表示する。

10 なお図13 (C) の電流源回路は、電流源TFT1129、ミラーTFT113
0、容量素子1131、電流入力TFT1132及び保持TFT1133により電
流源回路を構成している。電流源回路は、一定の電流が流す能力を有している。こ
の電流源回路には、画素用電流線1138を通って電流が入力され、設定動作が行
われる。そのため、電流源回路を構成するトランジスタの特性がばらついても、電
15 流源回路から発光素子に供給される電流の大きさには、ばらつきが生じなくなる。
画素の電流源回路に対する設定動作は、スイッチング用TFT1125や駆動用T
F T 1 1 2 7 の動作とは、無関係に行うことができる。

図71 (A) の画素は、図63 (B) の画素に図23 (A) の回路を画素に適用
した場合に相当する。ただし、電流の流れる向きが異なるため、トランジスタの極
20 性は、反対になっている。図71 (A) の画素は、電流源TFT1129、容量素
子1131、保持TFT1133、画素用電流線1138 (Ci)などを有している。
画素用電流線1138 (Ci) は、電流源回路1137に接続されている。なお、電
流源回路1137が、信号線駆動回路403に配置されている電流源回路420に
相当する。

25 図71 (B) の画素は、図63 (B) の画素に図24 (A) の回路を画素に適用
した場合に相当する。ただし、電流の流れる向きが異なるため、トランジスタの極

性は、反対になっている。図71（B）の画素は、電流源TFT1129、容量素子1131、保持TFT1133、画素用電流線1138（Ci）などを有している。画素用電流線1138（Ci）は、電流源回路1137に接続されている。なお、電流源回路1137が、信号線駆動回路403に配置されている電流源回路420に
5相当する。

図71（A）の画素と図71（B）の画素とでは、電流源TFT1129の極性が異なる。そして、極性が異なることにより、容量素子1131、保持TFT1133の接続が異なっている。

このように、さまざまな構成の画素が存在する。ところで、これまでに述べた画
10素は、大きく二つのタイプに分類できる。1つ目のタイプが、信号線にビデオ信号に応じた電流を入力するタイプである。これは、図13（A）、図13（B）などがそれに相当する。この場合、信号線駆動回路は、図1や図2に示すように、信号電流制御スイッチを有している。

そして、もう1つのタイプが、信号線にビデオ信号を入力し、画素用電流線に、
15ビデオ信号とは無関係な一定の電流を入力するタイプ、つまり、図63（B）のような画素の場合である。これは、図13（C）、図71（A）、図71（B）などが相当する。この場合、信号線駆動回路は、図34や図35に示すように、信号電流制御スイッチを有していない。

次いで、各々の画素のタイプに応じたタイミングチャートについて述べる。まず、
20デジタル階調と時間階調を組み合わせた場合について述べる。ただし、前記タイミングチャートは、画素のタイプや信号線駆動回路の構成に依存する。つまり、すでに述べたように、信号線駆動回路の電流源回路に対する設定動作と入力動作と同時に見える場合と、設定動作と入力動作とを同時に行えない場合とでは、タイミングが異なってくる場合がある。

25 まず、画素のタイプが、信号線にビデオ信号に応じた電流を入力するタイプの場合について述べる。画素は、図13（A）もしくは図13（B）であるとする。信

号線駆動回路は、図6（B）の構成であるとする。

そして、信号線駆動回路の電流源回路に対する設定動作と入力動作を同時に行える場合として、図6（B）における定電流回路414に図1に示した回路を適用し、電流源回路の部分に図23（C）を適用した場合の回路、つまり、図5の場合について述べる。なお、設定動作と入力動作と同時に行うことができる場合として、図3、図4の回路でも同様である。

このときのタイミングチャートを図72に示す。4ビットの階調を表現することとし、簡単のため、サブフレーム数を4つにしたとする。まず、最初のサブフレーム期間SF1が始まる。1行づつ走査線（図13（A）での第1の走査線1102や図13（B）での第1の走査線1132）を選択し、信号線（図13（A）での1101や図13（B）での1131）から電流を入力していく。この電流は、ビデオ信号に応じた値になっている。そして、点灯期間Ts1が終了すると、次のサブフレーム期間SF2が始まり、SF1と同様に走査させる。その後、その次のサブフレーム期間SF3が始まり、同様に走査させていく。ただし、点灯期間の長さTs3が、アドレス期間の長さTa3よりも短いため、強制的に、発光しないようにしていく。つまり、入力したビデオ信号を消去していく。あるいは、発光素子に電流が流れないようにする。消去するためには、第2の走査線（図13（A）での第2の走査線1103や図13（B）での第2の走査線1133）を1行づつ選択していく。すると、ビデオ信号が消去され、非発光状態にすることができる。その後、次のサブフレームSF4が始まる。ここでも、SF3と同様に走査させ、同様に非発光状態にしていく。

以上が、画像表示動作、つまり、画素の動作に関するタイミングチャートである。次に、信号線駆動回路に配置された電流源回路の設定動作のタイミングについて述べる。

ここでの電流源回路は、設定動作と入力動作を同時に行うことができるものとしている。画素のタイプが、信号線にビデオ信号に応じた電流を入力するタイプの場

合、信号線駆動回路の電流源回路の入力動作（画素への電流の出力）は、各サブフレーム期間におけるアドレス期間（Ta1、Ta2など）に行われる。そして、信号線駆動回路の電流源回路の設定動作は、シフトレジスタ411からのサンプリングパルスによって制御される。

5 そして、シフトレジスタから出力されるサンプリングパルスは、ある行の走査線（ゲート線）が選択されている間に、すべての列にわたって、出力される。したがって、図72に示すように、シフトレジスタから出力されるサンプリングパルスと同期して、信号線駆動回路の電流源回路の設定動作が行われる。

次に、図42に示すように、信号線駆動回路に設定制御線と論理演算子が配置されている場合について述べる。そして、信号線駆動回路の電流源回路に対する設定動作と入力動作を同時に実行する場合として、図42における定電流回路414に図1に示した回路を適用し、電流源回路の部分に図23（C）を適用した場合について、図49の場合について述べる。

このときのタイミングチャートを図73、図74、図75に示す。

15 まず、画像表示動作、つまり、画素のスイッチング用トランジスタと駆動用トランジスタなどに関する動作については、上述した図72の場合とほとんど同様なため、説明を省略する。

次に、信号線駆動回路に配置された電流源回路の設定動作のタイミングについて述べる。図72の場合、各々のアドレス期間における各行の走査線（ゲート線）の選択期間中において、信号線駆動回路の電流源回路の設定動作を行う。

20 図73では、設定制御線によって、電流源回路の設定動作を行うか否かを制御することができる。したがって、あるアドレス期間中におけるある行の走査線（ゲート線）が選択されているときにだけ、設定動作期間 Tb を設け、該設定動作期間 Tb において設定動作を行うことができる。

25 このようにすると、信号線駆動回路に配置された電流源回路が設定動作を行う回数を減らすことが出来る。そのため、消費電力を低減することが出来る。

なお、電流源回路420には、あるトランジスタのゲート・ソース間に接続された容量素子が配置されている。その容量素子には、電流源回路の設定動作により、電荷が蓄積される。理想的には、電流源回路の設定動作は、電源を入力した時に1回だけ行えばよい。なぜなら、容量素子に蓄積される電荷量は、動作状態や時間などによって変化させる必要がなく、また、変化しないからである。したがって、信号線駆動回路の電流源回路の設定動作は、任意のタイミングで、任意の回数だけ行えればよい。

しかしながら、現実的には、容量素子には、様々なノイズが入ったり、容量素子と接続されているトランジスタのもれ電流が流れたりする。その結果、容量素子に蓄積される電荷量が、時間とともに変化してしまう場合がある。電荷量が変化すると、電流源回路から出力される電流、すなわち、画素に入力される電流も、変化してしまう。その結果、画素の輝度も変化してしまう。そこで、容量素子に蓄積された電荷を変動させないようにするために、電流源回路の設定動作を、ある周期で行つていき、電荷をリフレッシュする必要が生じる。

容量素子に蓄積された電荷をリフレッシュする動作は、1フレーム期間につき、何回おこなってもよい。あるいは、数フレーム期間につき、1回おこなってもよい。

なお図73では、電流源回路の設定動作は、アドレス期間Ta1とTa2とにおいて、1回づつ行っている。どれくらいの頻度で設定動作を行うかは、電流源回路の有する容量素子の電荷の保存状況により、適宜決めればよい。

次に、図73とは、信号線駆動回路に配置された電流源回路の設定動作のタイミングが異なる場合について、図74に示す。

図74では、アドレス期間（信号線駆動回路の電流源回路の入力動作をおこなっている期間）と、信号線駆動回路の電流源回路の設定動作期間とを分離した。つまり、設定制御線を利用して、アドレス期間中、つまり、電流源回路の入力動作中には、電流源回路の設定動作を行わないようにした。さらに、アドレス期間とアドレス期間との隙間の期間において、つまり、電流源回路の入力動作を行っていないと

きに、電流源回路の設定動作を行うようにした。

このように、信号線駆動回路の電流源回路の設定動作と入力動作を別々に行うことにより、各々の動作の動作速度を変えることができる。つまり、シフトレジスタ 411 が output するサンプリングパルスの周波数を、変えることが出来る。したがつ

5 て、信号線駆動回路の電流源回路の設定動作を行う場合のみ、シフトレジスタ 411 の動作を遅くすることが出来る。その結果、電流源回路の設定動作を、十分な時間をかけて行うことができ、より正確に設定動作を行うことが可能となる。

したがって、図 74 の場合は、信号線駆動回路の電流源回路に対する設定動作と入力動作とが、同時に実行しないような構成を用いてもよい。

10 なお、電流源回路の設定動作を行うために、シフトレジスタ 411 が動作している場合、画素における走査線（ゲート線）が選択されていなければ、画素には、全く影響を与えない。つまり、アドレス期間中には、走査線（ゲート線）が選択されていないので、画素には、全く影響を与えない。

また、シフトレジスタ 411 が、図 43、図 44、図 45、図 46 などのように、複数の配線をランダムに選択できる回路の場合は、1 回のアドレス期間とアドレス期間の隙間の期間、つまり、電流源回路が入力動作を行っていない期間の 1 区間にで、すべての電流源回路の設定動作を終える必要がない。つまり、数フレーム期間かけて、すべての電流源回路の設定動作を終えるようにしてもよい。あるいは、1 フレーム期間内に、アドレス期間とアドレス期間の隙間の期間が複数ある場合は、20 それらの期間から選択された幾つかの期間を用いて、電流源回路の設定動作を行ってもよい。このときのタイミングチャートを、図 75 に示す。

つぎに、画素のタイプが、信号線にビデオ信号を入力し、画素用電流線に、ビデオ信号とは無関係な一定の電流を入力するタイプの場合について述べる。信号線駆動回路は、図 63 (A) の構成であるとする。画素は、図 63 (B)、図 13 (C)、

25 図 71 (A)、図 71 (B) などであるとする。ただし、この画素構成の場合、画素の電流源回路に対しても、設定動作を行う必要がある。そのため、画素の電流源

回路の設定動作と入力動作を同時にできるかどうかによって、タイミングチャートが異なる。まず、画素の電流源回路の設定動作と入力動作とを同時にできる場合、つまり、画素が図13(C)のときのタイミングチャートを図76に示す。

まず、画像表示動作、つまり、画素のスイッチング用トランジスタと駆動用トランジスタなどに関する動作について述べる。ただし、図72の場合とほとんど同様なため、簡単に述べる。

まず、最初のサブフレーム期間 SF1 が始まる。1行づつ走査線（図13(C)での第1の走査線 1122）を選択し、信号線（図13(C)での 1121）からビデオ信号を入力していく。このビデオ信号は、通常、電圧であるが、電流でもかまわない。そして、点灯期間 Ts1 が終了すると、次のサブフレーム期間 SF2 が始まり、SF1 と同様に走査させる。その後、その次のサブフレーム期間 SF3 が始まり、同様に走査させていく。ただし、点灯期間の長さ Ts3 が、アドレス期間の長さ Ta3 よりも短いため、強制的に、発光しないようにしていく。つまり、入力したビデオ信号を消去していく。あるいは、発光素子に電流が流れないようにする。消去するためには、第2の走査線（図13(C)での第2の走査線 1123）を1行づつ選択していく。すると、ビデオ信号が消去され、駆動用 TFT1127 がオフ状態になり、非発光状態にすることができる。その後、次のサブフレーム SF4 が始まる。ここでも、SF3 と同様に走査させ、同様に非発光状態にしていく。

次に、画素の電流源回路に対する設定動作に関して述べる。図13(C)の場合、
20 画素の電流源回路の設定動作と入力動作は、同時に行うことができる。したがって、
画素の電流源回路の設定動作は、任意のタイミングで行えばよい。

信号線駆動回路の電流源回路の設定動作は、入力動作（画素の電流源回路の設定動作）と同時に出来る場合には、いつ行ってもよい。信号線駆動回路の電流源回路の設定動作は、入力動作（画素の電流源回路の設定動作）と同時に出来ない場合は、
25 入力動作（画素の電流源回路の設定動作）を行っている期間以外の時に行えばよい。
信号線駆動回路の電流源回路の設定動作と入力動作（画素への電流の出力、つま

り、画素の電流源回路の設定動作) が同時に出来る場合は、図 6 3 (A) の定電流回路 414 が、図 3 5 の回路の場合、つまり、図 6 8 の場合に相当する。あるいは、図 6 3 (A) の定電流回路 414 が図 3 4 であり、かつ、電流源回路 420 が図 2 3 (C)、図 2 3 (D)、図 2 3 (E) などである場合に相当する。

5 信号線駆動回路の電流源回路の設定動作と入力動作（画素への電流の出力、つまり、画素の電流源回路の設定動作）を同時に出来ない場合は、図 6 3 (A) の定電流回路 414 が、図 3 4 であり、かつ、電流源回路 420 が図 2 3 (A)、図 2 3 (B) などである場合、つまり、図 6 4 の場合に相当する。

よって、図 7 6 には、信号線駆動回路の電流源回路の設定動作と入力動作（画素 10 への電流の出力、つまり、画素の電流源回路の設定動作）とが同時に出来ない場合のタイミングチャートを示す。信号線駆動回路の電流源回路の設定動作は、アドレス期間中に行われるとすると、画素の電流源回路の設定動作は、アドレス期間とアドレス期間の隙間の期間に行われる。

信号線駆動回路の電流源回路の設定動作と入力動作（画素への電流の出力、つまり、画素の電流源回路の設定動作）を同時に出来る場合は、画素の電流源回路の設定動作は、任意の期間に行えばよい。

図 7 6 の場合、各々のアドレス期間での、各行の走査線（ゲート線）の選択期間中において、信号線駆動回路の電流源回路の設定動作を行っている。つぎに、図 6 6 や図 6 9 のように、設定制御線や論理演算子が配置された場合のタイミングチャートについて述べる。図 6 6 や図 6 9 では、設定制御線によって、電流源回路の設定動作を行うか否かを制御できる。したがって、あるアドレス期間中における、ある行の走査線（ゲート線）が選択されているときだけ、設定動作期間 T_b を設け、該設定動作期間 T_b において設定動作を行うことができる。

よって、図 7 7 には、信号線駆動回路の電流源回路の設定動作と入力動作（画素 25 への電流の出力、つまり、画素の電流源回路の設定動作）とが、同時に出来ない場合のタイミングチャートを示す。信号線駆動回路の電流源回路の設定動作は、アド

レス期間の最初の期間に行われる。図77では、Ta1とTa2の最初の期間に行われる。したがって、画素の電流源回路の設定動作は、それ以外の期間に行われる。つまり、アドレス期間中も、画素の電流源回路の設定動作（信号線駆動回路の電流源回路の入力動作）を行うことが出来る。

5 また、このようにすることにより、信号線駆動回路に配置された電流源回路の設定動作の回数を減らすことが出来る。そのため、消費電力を低減することが出来る。

なお、電流源回路420には、ゲート・ソース間に接続された容量素子が配置されている。その容量素子には、電流源回路の設定動作により、電荷が蓄積される。理想的には、電流源回路の設定動作は、電源を入力した時に1回だけ行えばよい。

10 なぜなら、容量素子に蓄積される電荷量は、動作状態や時間などによって変化させる必要がなく、また、変化しないからである。したがって、信号線駆動回路の電流源回路の設定動作は、任意のタイミングで、任意の回数だけ行えばよい。

しかしながら、現実的には、容量素子には、様々なノイズが入ったり、容量素子と接続されているトランジスタのもれ電流が流れたりする。その結果、容量素子に蓄積される電荷量が、時間とともに変化してしまう場合がある。電荷量が変化すると、電流源回路から出力される電流、すなわち、画素に入力される電流も、変化してしまう。その結果、画素の輝度も変化してしまう。そこで、容量素子に蓄積された電荷を変動させないようにするために、電流源回路の設定動作を、ある周期で行つていき、電荷をリフレッシュする必要が生じる。

20 容量素子に蓄積された電荷をリフレッシュする動作は、1フレーム期間につき、何回おこなってもよい。あるいは、数フレーム期間につき、1回おこなってもよい。

図77では、電流源回路の設定動作は、アドレス期間Ta1とTa2とにおいて、1回づつ行っている。どれくらいの頻度で設定動作を行うかは、電流源回路の有する容量素子の電荷の保存状況により、適宜決めればよい。

25 次に、図77とは信号線駆動回路に配置された電流源回路の設定動作のタイミングが異なる場合について、図78に示す。

図78では、設定制御線を利用して、アドレス期間中には、信号線駆動回路の電流源回路の設定動作を行わないようにし、アドレス期間とアドレス期間との隙間の期間において、電流源回路の設定動作を行うようにする。そして、信号線駆動回路の電流源回路の入力動作（画素への電流の出力、つまり、画素の電流源回路の設定動作）は、信号線駆動回路の電流源回路の設定動作と同時に出来ない場合は、設定動作を行っていない期間に行うようにした。設定動作と入力動作を同時に出来る場合は、信号線駆動回路の電流源回路の入力動作を行うタイミングはいつでもよい。このように、信号線駆動回路の電流源回路の設定動作をアドレス期間以外の期間に行うことにより、アドレス期間における動作と設定動作における動作で、動作速度を変えることができる。つまり、シフトレジスタ411が出力するサンプリングパルスの周波数を、変えることが出来る。したがって、信号線駆動回路の電流源回路の設定動作を行う場合にのみ、シフトレジスタ411の動作を遅くすることが出来る。その結果、電流源回路の設定動作を、十分な時間をかけて行うことができ、より正確に設定動作を行うことが可能となる。

なお、電流源回路の設定動作を行うために、シフトレジスタ411が動作しても、画素における走査線（ゲート線）が選択されていなければ、画素には、全く影響を与えない。つまり、アドレス期間中には、走査線（ゲート線）が選択されていないので、画素には、全く影響を与えない。

また、シフトレジスタ411が、図43、図44、図45、図46などのように、ランダムに配線を選択できる回路である場合は、1回のアドレス期間とアドレス期間の隙間の期間の1区間内で、すべての電流源回路の設定動作を終える必要がない。つまり、数フレーム期間かかって、すべての電流源回路の設定動作を終えるようにしてもよい。あるいは、1フレーム期間内に、アドレス期間とアドレス期間の隙間の期間が複数ある場合は、それらの期間から選択された幾つかを用いて、電流源回路の設定動作を行ってもよい。このときのタイミングチャートを、図79に示す。

次に、画素のタイプが、信号線にビデオ信号を入力し、画素用電流線に、ビデオ

信号とは無関係な一定の電流を入力するタイプであり、かつ、画素の電流源回路の設定動作と入力動作とを同時にできない場合、つまり、画素が図71(A)、図71(B)のときのタイミングチャートを図80に示す。

まず、画像表示動作、つまり、画素のスイッチング用トランジスタと駆動用トランジスタなどに関する動作は、図76の場合とほとんど同様なため、簡単に述べる。

まず、最初のサブフレーム期間 SF1 が始まる。1行づつ走査線（図71(A)、図71(B)での第1の走査線1122）を選択し、信号線（図71(A)、図71(B)での1121）からビデオ信号を入力していく。このビデオ信号は、通常、電圧であるが、電流でもかまわない。そして、点灯期間 Ts1 が終了すると、次のサブフレーム期間 SF2 が始まり、SF1 と同様に走査させる。その後、その次のサブフレーム期間 SF3 が始まり、同様に走査させていく。ただし、点灯期間の長さ Ts3 が、アドレス期間の長さ Ta3 よりも短いため、強制的に、発光しないようにしていく。つまり、入力したビデオ信号を消去していく。あるいは、発光素子に電流が流れないようにする。発光素子に電流が流れないようにするために、第2の走査線（図13(C)での第2の走査線1123）を1行づつ非選択状態にしていく。すると、消去用 TFT1127 がオフ状態になり、電流の流れる経路が遮断され、非発光状態にすることができる。その後、次のサブフレーム SF4 が始まる。ここでも、SF3 と同様に走査させ、同様に非発光状態にしていく。

次に、画素の電流源回路に対する設定動作に関して述べる。図71(A)、図71(B)の場合、画素の電流源回路の設定動作と入力動作とは、同時に行なうことができない。したがって、画素の電流源回路の設定動作は、画素の電流源回路が入力動作を行っていない時、つまり、発光素子に電流が流れていないときに行なえばよい。

信号線駆動回路の電流源回路の設定動作は、入力動作（画素の電流源回路の設定動作）と同時に出来る場合は、いつ行ってもよい。信号線駆動回路の電流源回路の設定動作が、入力動作（画素の電流源回路の設定動作）と同時に出来ない場合は、入力動作（画素の電流源回路の設定動作）を行っている期間以外の時に行なえばよい。

信号線駆動回路の電流源回路の設定動作と入力動作（画素への電流の出力、つまり、画素の電流源回路の設定動作）と同時に出来る場合は、図63（A）の定電流回路414が図35の回路の場合、つまり、図68の場合に相当する。あるいは、図63（A）の定電流回路414が図34であり、かつ、電流源回路420が図2、図63（C）、図23（D）、図23（E）などである場合に相当する。

5 3 信号線駆動回路の電流源回路の設定動作と入力動作（画素への電流の出力、つまり、画素の電流源回路の設定動作）が同時に出来ない場合は、図63（A）の定電流回路414が図34であり、かつ、電流源回路420が図23（A）、図23（B）などである場合、つまり、図64の場合に相当する。

10 よって、図80には、信号線駆動回路の電流源回路の設定動作と入力動作（画素への電流の出力、つまり、画素の電流源回路の設定動作）とが、同時に出来る場合のタイミングチャートを示す。信号線駆動回路の電流源回路の設定動作は、アドレス期間中に行われる。画素の電流源回路の設定動作は、画素の電流源回路が入力動作を行っていない時、つまり、発光素子に電流が流れていないと非点灯操作を行っている時、つまり、発光素子に電流が流れていないと非点灯期間（非発光期間）（Td3、Td4）に行い、信号線駆動回路の電流源回路の設定動作は、それ以外の時に行えばよい。非点灯期間（非発光期間）（Td3、Td4）は、アドレス期間と重なっている場合が多い。

15 図80の場合、各々のアドレス期間での、各行の走査線（ゲート線）の選択期間において、信号線駆動回路の電流源回路の設定動作を行う。つぎに、図66や図69のように、設定制御線や論理演算子がある場合のタイミングチャートについて述べる。図66や図69では、設定制御線によって、電流源回路の設定動作を行うかどうかを制御できる。したがって、あるアドレス期間中における、ある行の走査線（ゲート線）が選択されているときだけ、設定動作期間 Tb を設け、該設定動作期間 Tb において設定動作を行うことができる。

20 25 よって、図81には、信号線駆動回路の電流源回路の設定動作と入力動作（画素への電流の出力、つまり、画素の電流源回路の設定動作）とが、同時に出来ない場

合のタイミングチャートを示す。信号線駆動回路の電流源回路の設定動作は、画素の電流源回路の設定動作が行われていない期間に行われる。図 8 1 では、Ta2 の期間に行われる。画素の電流源回路の設定動作は、それ以外の期間に行われる。よって、画素の電流源回路の設定動作（信号線駆動回路の電流源回路の入力動作）を行 5 う期間を避けて、信号線駆動回路の電流源回路の設定動作を行うことが出来る。

また、このようにすることにより、信号線駆動回路に配置された電流源回路の設定動作の回数を減らすことが出来る。そのため、消費電力を低減することが出来る。なお、信号線駆動回路の電流源回路の設定動作は、任意のタイミングで、任意の回数だけ行えばよい。ただし、電流源回路に配置されている容量素子に蓄積された電 10 荷を変動させないようにするため、電流源回路の設定動作を、ある周期で行っていき、電荷をリフレッシュする必要が生じる。そこで、容量素子に蓄積された電荷をリフレッシュする動作は、1 フレーム期間につき、何回おこなってもよい。あるいは、数フレーム期間につき、1 回おこなってもよい。

図 8 1 では、電流源回路の設定動作は、アドレス期間 Ta2 のある期間において、15 1 回だけ行っている。どれくらいの頻度で設定動作を行うかは、電流源回路の有する容量素子の電荷の保存状況により、適宜決めればよい。

次に、図 8 1 とは、信号線駆動回路に配置された電流源回路の設定動作のタイミングが異なる場合について、図 8 2 に示す。

図 8 2 では、設定制御線を利用して、アドレス期間中には、信号線駆動回路の電 20 流源回路の設定動作を行わないようにし、アドレス期間とアドレス期間との隙間の期間において、電流源回路の設定動作を行うようにする。そして、信号線駆動回路の電流源回路の入力動作（画素への電流の出力、つまり、画素の電流源回路の設定動作）は、画素の電流源回路が入力動作を行っていない時、つまり、発光素子に電流が流れていないときである非点灯期間（非発光期間）（Td3、Td4）に行う。

25 このようにすることにより、信号線駆動回路の電流源回路の設定動作と入力動作を、同時に行わないことが可能となる。

このように、信号線駆動回路の電流源回路の設定動作をアドレス期間以外の期間に行うことにより、アドレス期間における動作と設定動作における動作とで、動作速度を変えることができる。つまり、シフトレジスタ 411 が出力するサンプリングパルスの周波数を、変えることが出来る。したがって、信号線駆動回路の電流源回路の設定動作を行う場合のみ、シフトレジスタ 411 の動作を遅くすることが出来る。その結果、電流源回路の設定動作を、十分な時間をかけて行うことができ、より正確に設定動作を行うことが可能となる。

なお、電流源回路の設定動作を行うために、シフトレジスタ 411 が動作している間でも、画素における走査線（ゲート線）が選択されていなければ、画素には、全く影響を与えない。つまり、アドレス期間中には、走査線（ゲート線）が選択されていないので、画素には、全く影響を与えない。

また、シフトレジスタ 411 が、図 43、図 44、図 45、図 46 などのように、複数の配線をランダムに選択できる回路である場合は、1 回分のアドレス期間とアドレス期間の隙間の期間の 1 区間内で、すべての電流源回路の設定動作を終える必要がない。つまり、数フレーム期間かかって、すべての電流源回路の設定動作を終えるようにしてもよい。あるいは、1 フレーム期間内に、アドレス期間とアドレス期間の隙間の期間が複数ある場合は、それらの期間から選択された幾つかの期間を用いて、電流源回路の設定動作を行ってもよい。このときのタイミングチャートを、図 83 に示す。

なお、画素の電流源回路に対する設定動作が、非点灯期間だけでは、時間が短い場合がある。そのようなときは、図 84 のように、各アドレス期間の前に、強制的に非点灯期間を設け、該非点灯期間において、画素の電流源回路に対する設定動作を行ってもよい。

これまで、デジタル階調と時間階調を組み合わせた場合における、タイミングチャートに関して述べてきた。つぎに、アナログ階調の場合のタイミングチャートについて述べる。ここでも、信号線駆動回路の電流源回路に対する設定動作と入力

動作を同時にを行うことができない場合のタイミングチャートについて述べる。

まず、画素は、図13(A)もしくは図13(B)であるとする。信号線駆動回路は、図27もしくは図54の構成、つまり、図29、図7、図8、図55のような回路であるとする。このときのタイミングチャートを図85に示す。

5 1行づつ走査線(図13(A)での第1の走査線1102や図13(B)での第1の走査線1132)を選択し、信号線(図13(A)での1101や図13(B)での1131)から電流を入力していく。この電流は、ビデオ信号に応じた値になっている。これを、1フレーム期間かけて行う。

以上が、画像表示動作、つまり、画素の動作に関するタイミングチャートである。

10 次に、信号線駆動回路に配置された電流源回路の設定動作のタイミングについて述べる。ここで電流源回路は、設定動作と入力動作とは、同時に見えるものについて述べる。よって、定電流回路に図57や図58などを適用した場合に相当する。

信号線駆動回路の電流源回路の入力動作は、通常は、1フレーム期間をかけて行われる。そして、図85に示すように、1フレーム期間をかけて信号線駆動回路の

15 電流源回路の設定動作を行っていく。

次に、図53、図60、図59、図61、図62のように、設定制御線や論理演算子がある場合のタイミングチャートについて述べる。この場合、設定制御線によって、電流源回路の設定動作を行うか否が制御される。

なお、図60において、第1～第3設定制御線までは、どちらの電流源回路に設定動作を行い、どちらの電流源回路に入力動作をさせるかを制御している。そして、第4設定制御線は、電流源回路の設定動作を行うかどうかを制御している。

したがって、図86に示すように、走査線(ゲート線)が選択されているある期間だけ、設定動作期間 T_b を設け、該設定動作期間 T_b において設定動作を行うことができる。

25 この場合、図61や図60の場合は、信号線駆動回路に配置された電流源回路の設定動作と入力動作を同時にできるため、設定動作を行うタイミングに関する問題

は生じない。信号線駆動回路の電流源回路の設定動作と入力動作を同時にできない場合は、走査線が選択されているとき、つまり最初の期間のみ、信号線駆動回路の電流源回路の入力動作を停止し、設定動作を行うようにすればよい。なお、その期間は、帰線期間と一致させてもよい。

5 また、図9のように、走査線が選択されるとき、毎行で設定動作を行う必要はない。また、図86や図9では、電流源回路を制御する回路（シフトレジスタ）として、図43などの回路を用いて、ランダムに電流源回路を選択できるようにするこ^トが望ましい。また、図44、図45、図46などの回路を用いてもよい。

10 あるいは、図10や図11に示すように、信号線駆動回路の電流源回路の入力動作（ビデオ信号の入力動作、つまり、画素への電流の出力）は、1フレーム期間のうちの何割かの期間で行い、残りの期間で、信号線駆動回路の電流源回路の設定動作を行ってもよい。この場合、信号線駆動回路の電流源回路の設定動作と入力動作とは、同時に行えなくても良い。

15 その時、信号線駆動回路の電流源回路の設定動作を行う場合、図10に示すように、電流源回路に対して、1列づつ設定動作をおこなってもよい。あるいは、図43、図44、図45、図46などの回路を用いて、ランダムに電流源回路を選択できるようにして、1フレーム期間内では、すべての電流源回路に対して設定動作を行わなくともよい。つまり、数フレーム期間以上かけて、すべての電流源回路に対して、設定動作をおこなってもよい。その場合、1つの電流源回路に対して、長い時間²⁰をかけて設定動作を行えるため、より正確に設定することが可能となる。

20 なお、信号線駆動回路の電流源回路の設定動作を行う場合、電流が漏れたり、別の電流が入ってきたりすることが無い状態で行う必要がある。よって、図29におけるトランジスタ182、図55におけるトランジスタA、B、Cなどは、信号線駆動回路の電流源回路の設定動作を行う前には、オフ状態にしておく必要がある。
25 ただし、図56のように、トランジスタ193が配置されていて、電流が漏れたり、別の電流が入ってきたりすることが無い場合は、考慮する必要はない。

本実施例は、実施の形態1～8、実施例1と任意に組み合わせることが可能である。

〈実施例3〉

本実施例では、カラー表示を行う場合の工夫について述べる。

5 発光素子が有機EL素子である場合、該発光素子に同じ大きさの電流を流しても、色によって、輝度が異なる。また、発光素子が劣化した場合、劣化の度合いは、色によって異なる。そのため、ホワイトバランスを調節するためには、さまざまな工夫が必要である。

最も単純なのは、画素に入力する電流の大きさを色によって変えることである。

10 そのためには、リファレンス用定電流源の電流の大きさを色によって変えればよい。その他の手法としては、画素、信号線駆動回路、リファレンス用定電流源などにおいて、図20のような回路を用いることである。そして、カレントミラー回路を構成している2つのトランジスタのW/Lの比率を、色によって変えることである。これにより、電流の大きさが色によって異なってくる。

15 さらに他の手法としては、点灯期間の長さを色によって変えることである。これは、時間階調方式を用いている場合でも、用いていない場合でも、どちらでも適用できる。これにより、輝度を調節することができる。

以上のような手法を用いることにより、あるいは、組み合わせて用いることにより、容易にホワイトバランスを調節することができる。

20 本実施例は、実施の形態1～8、実施例1、2と任意に組み合わせることが可能である。

〈実施例4〉

本実施例では、本発明の発光装置（半導体装置）の外観について、図12を用いて説明する。図12は、トランジスタが形成された素子基板をシーリング材によって封止することによって形成された発光装置の上面図であり、図12（B）は、図12（A）のA-A'における断面図、図12（C）は図12（A）のB-B'におけ

る断面図である。

基板4001上に設けられた画素部4002と、ソース信号線駆動回路4003と、ゲート信号線駆動回路4004a、bとを囲むようにして、シール材4009が設けられている。また画素部4002と、ソース信号線駆動回路4003と、ゲート信号線駆動回路4004a、bとの上にシーリング材4008が設けられている。よって画素部4002と、ソース信号線駆動回路4003と、ゲート信号線駆動回路4004a、bとは、基板4001とシール材4009とシーリング材4008によって、充填材4210で密封されている。

また基板4001上に設けられた画素部4002と、ソース信号線駆動回路4003と、ゲート信号線駆動回路4004a、bとは、複数のTFTを有している。
図12(B)では代表的に、下地膜4010上に形成された、ソース信号線駆動回路4003に含まれる駆動TFT(但し、ここではnチャネル型TFTとpチャネル型TFTを図示)4201及び画素部4002に含まれる消去用TFT4202を図示した。

本実施例では、駆動TFT4201には公知の方法で作製されたpチャネル型TFTまたはnチャネル型TFTが用いられ、消去用TFT4202には公知の方法で作製されたnチャネル型TFTが用いられる。

駆動TFT4201及び消去用TFT4202上には層間絶縁膜(平坦化膜)4301が形成され、その上に消去用TFT4202のドレインと電気的に接続する画素電極(陽極)4203が形成される。画素電極4203としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものを用いても良い。

そして、画素電極4203の上には絶縁膜4302が形成され、絶縁膜4302は画素電極4203の上に開口部が形成されている。この開口部において、画素電

極4203の上には発光層4204が形成される。発光層4204は公知の発光材料または無機発光材料を用いることができる。また、発光材料には低分子系（モノマー系）材料と高分子系（ポリマー系）材料があるがどちらを用いても良い。

発光層4204の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、発光層4204の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を任意に組み合わせて積層構造または単層構造とすれば良い。

発光層4204の上には遮光性を有する導電膜（代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜）からなる陰極4205が形成される。また、陰極4205と発光層4204の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、発光層4204を窒素または希ガス雰囲気で形成し、酸素や水分に触れさせないまま陰極4205を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスター方式）の成膜装置を用いることで上述のような成膜を可能とする。そして陰極4205は所定の電圧が与えられている。

以上のようにして、画素電極（陽極）4203、発光層4204及び陰極4205からなる発光素子4303が形成される。そして発光素子4303を覆うように、絶縁膜上に保護膜が形成されている。保護膜は、発光素子4303に酸素や水分等が入り込むのを防ぐのに効果的である。

4005aは電源線に接続された引き回し配線であり、消去用TFT4202のソース領域に電気的に接続されている。引き回し配線4005aはシール材4009と基板4001との間を通り、異方導電性フィルム4300を介してFPC4006が有するFPC用配線4301に電気的に接続される。

シーリング材4008としては、ガラス材、金属材（代表的にはステンレス材）、セラミックス材、プラスチック材（プラスチックフィルムも含む）を用いることができる。プラスチック材としては、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マ

イラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

但し、発光層からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

また、充填材4210としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC(ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。本実施例では充填材として窒素を用いた。

また充填材4210を吸湿性物質(好ましくは酸化バリウム)もしくは酸素を吸着しうる物質にさらしておくために、シーリング材4008の基板4001側の面に凹部4007を設けて吸湿性物質または酸素を吸着しうる物質4207を配置する。そして、吸湿性物質または酸素を吸着しうる物質4207が飛び散らないよう、凹部カバー材4208によって吸湿性物質または酸素を吸着しうる物質4207は凹部4007に保持されている。なお凹部カバー材4208は目の細かいメッシュ状になっており、空気や水分は通し、吸湿性物質または酸素を吸着しうる物質4207は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質4207を設けることで、発光素子4303の劣化を抑制できる。

図12(C)に示すように、画素電極4203が形成されると同時に、引き回し配線4005a上に接するように導電性膜4203aが形成される。

また、異方導電性フィルム4300は導電性フィラー4300aを有している。基板4001とFPC4006とを熱圧着することで、基板4001上の導電性膜4203aとFPC4006上のFPC用配線4301とが、導電性フィラー4300aによって電気的に接続される。

本実施例は、実施の形態1～8、実施例1～3と任意に組み合わせることが可能である。

〈実施例5〉

発光装置は自発光型であるため、液晶ディスプレイに比べ、明るい場所での視認性に優れ、視野角が広い。従って、様々な電子機器の表示部に用いることができる。

本発明の発光装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的には Digital Versatile Disc（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図22に示す。

15 図22（A）は発光装置であり、筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含む。本発明は表示部2003に用いることができる。また本発明により、図22（A）に示す発光装置が完成される。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、発光装置は、パソコン用、T20 V放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

図22（B）はデジタルスチルカメラであり、本体2101、表示部2102、受像部2103、操作キー2104、外部接続ポート2105、シャッター2106等を含む。本発明は表示部2102に用いることができる。また本発明により、図22（B）に示すデジタルスチルカメラが完成される。

25 図22（C）はノート型パーソナルコンピュータであり、本体2201、筐体2002、表示部2203、キーボード2204、外部接続ポート2205、ポイン

ティングマウス2206等を含む。本発明は表示部2203に用いることができる。

また本発明により、図22(C)に示す発光装置が完成される。

図22(D)はモバイルコンピュータであり、本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含む。本発明は5表示部2302に用いることができる。また本発明により、図22(D)に示すモバイルコンピュータが完成される。

図22(E)は記録媒体を備えた携帯型の画像再生装置（具体的にはDVD再生装置）であり、本体2401、筐体2402、表示部A2403、表示部B2404、記録媒体（DVD等）読み込み部2405、操作キー2406、スピーカー部241007等を含む。表示部A2403は主として画像情報を表示し、表示部B2404は主として文字情報を表示するが、本発明はこれら表示部A、B2403、2404に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。また本発明より、図22(E)に示すDVD再生装置が完成される。

15 図22(F)はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）であり、本体2501、表示部2502、アーム部2503を含む。本発明は表示部2502に用いることができる。また本発明により、図22(F)に示すゴーグル型ディスプレイが完成される。

図22(G)はビデオカメラであり、本体2601、表示部2602、筐体26203、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609、接岸部2610等を含む。本発明は表示部2602に用いることができる。また本発明により、図22(G)に示すビデオカメラが完成される。

ここで図22(H)は携帯電話であり、本体2701、筐体2702、表示部225703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。本発明は表示部2703に用いるこ

とができる。なお、表示部 2703 は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。また本発明により、図 22 (H) に示す携帯電話が完成される。

なお、将来的に発光材料の発光輝度が高くなれば、出力した画像情報を含む光を

5 レンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

また、上記電子機器はインターネットやCATV（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。発光材料の応答速度は非常に高いため、発光装置は動

10 画表示に好ましい。

また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが

15 望ましい。

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また本実施例の電子機器は、実施の形態 1～6、実施例 1～6 に示したいずれの構成を用いても良い。

上記構成を有する本発明は、作製工程や使用する基板の相違によって生じる TFT 20 の特性バラツキの影響を抑制して、所望の信号電流を外部に供給することができる。

また本発明では、1 つのシフトレジスタが 2 つの役割を有する。1 つの役割は電流源回路を制御する役割である。もう 1 つの役割はビデオ信号を制御する回路、つまり画像を表示するために動作する回路を制御する役割であり、例えばラッチ回路、サンプリングスイッチ及びスイッチ 101（信号電流制御スイッチ）などを制御する役割である。上記構成により、電流源回路を制御する回路と、ビデオ信号を制御する回路の各々の回路の配置が不要となるため、配置する回路の素子数を削減す

ることが可能となり、さらに素子数を削減することが出来るため、レイアウト面積を縮小することができる。そうすると、作製工程における歩留まりが向上し、コストダウンを実現することができる。またレイアウト面積を小さくできると、狭額縁化できるため、筐体の小型化を実現することができる。

- 5 また、シフトレジスタとして、複数の配線をランダムに選択できる機能を有する構成を用いた場合、電流源回路に供給する設定信号もランダムに出力できる。従つて、電流源回路の設定動作も、1列目から最終列目まで順に行うのではなく、ランダムに行うことができる。そうすると、電流源回路が設定動作を行う期間を自由に設定することができる。また、電流源回路の容量素子に保持された電荷の漏れの影響を目立たせなくすることが可能となる。このように、電流源回路の設定動作をランダムに行うことができると、電流源回路の設定動作に伴う不具合があった場合、その不具合を目立たなくさせることができるようになる。
- 10

請求の範囲

1. 複数の配線の各々に対応した複数の電流源回路及びシフトレジスタを有する信号線駆動回路であって、
前記複数の電流源回路の各々は、前記シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に変換する容量手段と、前記変換された電圧に応じた電流を供給する供給手段を有することを特徴とする信号線駆動回路。
2. 複数の配線の各々に対応した複数の電流源回路及びシフトレジスタを有する信号線駆動回路であって、
1本の配線につき、各々が容量手段及び供給手段を有する2個の電流源回路が配置され、
前記シフトレジスタから供給されるサンプリングパルスに従って、前記2個の電流源回路のうち、一方の電流源回路の容量手段は供給された電流を電圧に変換し、
他方の電流源回路の供給手段は前記変換された電圧に応じた電流を供給することを特徴とする信号線駆動回路。
3. 複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路であって、
1本の配線につき、n個の電流源回路（nは2以上の自然数）が配置され、
前記シフトレジスタから供給されるサンプリングパルスに従って、前記n個の電流源回路の各々は、供給された電流を電圧に変換する容量手段と、前記変換された電圧に応じた電流を供給する供給手段を有することを特徴とする信号線駆動回路。
4. 請求項1乃至請求項3のいずれか一項において、
前記n個の電流源回路は、互いに異なるピットに対応したn個のリファレンス用定電流源に接続され、
前記n個のリファレンス用定電流源から供給される電流値は、20:21:……:

2 n に設定されることを特徴とする信号線駆動回路。 .

5. 請求項 1 乃至請求項 3 のいずれか一項において、

前記 n 個の電流源回路は、最上位ビットに対応した 1 個のリファレンス用定電流源に接続されることを特徴とする信号線駆動回路。

5 6. 請求項 1 乃至請求項 3 のいずれか一項において、

前記複数の配線は、複数の信号線又は複数の電流線であることを特徴とする信号線駆動回路。

7. 請求項 1 乃至請求項 3 のいずれか一項において、

前記シフトレジスタはデコーダ回路で構成され、前記複数の配線をランダムに選

10 択することを特徴とする信号線駆動回路。

8. 請求項 1 乃至請求項 3 のいずれか一項において、

前記容量手段は、前記供給手段が有するトランジスタのドレインとゲートが短絡された状態にあるとき、供給された電流により、そのゲート・ソース間に発生する電圧を保持することを特徴とする信号線駆動回路。

15 9. 請求項 1 乃至請求項 3 のいずれか一項において、

前記供給手段は、トランジスタと、前記トランジスタのゲートとドレインの導通を制御する第 1 スイッチと、リファレンス用定電流源と前記トランジスタのゲートの導通を制御する第 2 スイッチと、前記トランジスタのドレインと画素の導通を制御する第 3 スイッチとを有することを特徴とする信号線駆動回路。

20 10. 請求項 1 乃至請求項 3 のいずれか一項において、

前記容量手段は、前記供給手段が有する第 1 及び第 2 トランジスタの両方のドレインとゲートが短絡された状態にあるとき、供給された電流により、前記第 1 又は前記第 2 トランジスタのゲート・ソース間に発生する電圧を保持することを特徴とする信号線駆動回路。

25 11. 請求項 1 乃至請求項 3 のいずれか一項において、

前記供給手段は、第 1 及び第 2 トランジスタで構成されるカレントミラー回路と、

前記第1及び前記第2トランジスタのゲートとソースの導通を制御する第1スイッチと、リファレンス用定電流源と前記第1及び前記第2トランジスタのゲートの導通を制御する第2スイッチを有することを特徴とする信号線駆動回路。

12. 請求項1乃至請求項3のいずれか一項において、

5 前記容量手段は、前記供給手段が有する第1及び第2トランジスタの一方のドレインとゲートが短絡された状態にあるとき、供給された電流により、そのゲート・ソース間に発生する電圧を保持することを特徴とする信号線駆動回路。

13. 請求項1乃至請求項3のいずれか一項において、

前記供給手段は、第1及び第2のトランジスタを含むカレントミラー回路と、

10 リファレンス用定電流源と前記第1トランジスタのドレインとの導通を制御する第1スイッチと、

前記第1トランジスタのドレインとゲート、前記第1トランジスタのゲートと前記第2トランジスタのゲート、前記第1及び前記第2トランジスタのゲートと前記リファレンス用定電流源から選択されたいずれか1つの導通を制御する第2スイッチとを有することを特徴とする信号線駆動回路。

14. 請求項11乃至請求項13のいずれか一項において、

前記第1及び前記第2トランジスタのゲート幅/ゲート長は同じ値に設定されることを特徴とする信号線駆動回路。

15. 請求項11乃至請求項13のいずれか一項において、

20 前記第1トランジスタのゲート幅/ゲート長は、前記第2トランジスタのゲート幅/ゲート長よりも大きい値に設定されることを特徴とする信号線駆動回路。

16. 請求項1乃至請求項3のいずれか一項において、

前記供給手段は、トランジスタと、前記容量手段に対する電流の供給を制御する第1及び第2スイッチと、前記トランジスタのゲートとドレインの導通を制御する

25 第3スイッチを有し、

前記トランジスタのゲートは前記第1スイッチに接続され、前記トランジスタの

ソースは前記第2スイッチに接続され、前記トランジスタのドレインは前記第3スイッチに接続されることを特徴とする信号線駆動回路。

17. 請求項1乃至請求項3のいずれか一項において、

前記供給手段は、m個のトランジスタを含むカレントミラー回路を有し、

5 前記m個のトランジスタのゲート幅/ゲート長は20:21:……:2mに設定され、

前記m個のトランジスタのドレイン電流は20:21:……:2mに設定されることを特徴とする信号線駆動回路。

18. 請求項1乃至請求項3のいずれか一項において、

10 前記供給手段を構成するトランジスタは飽和領域で動作することを特徴とする信号線駆動回路。

19. 請求項1乃至請求項3のいずれか一項において、

前記電流源回路を構成するトランジスタの能動層はポリシリコンで形成されることを特徴とする信号線駆動回路。

15 20. 請求項1乃至請求項19のいずれか一項に記載の前記信号線駆動回路と、各々に発光素子を含む複数の画素がマトリクス状に配置された画素部を有し、

前記発光素子には、前記信号線駆動回路から電流が供給されることを特徴とする発光装置。

21. 複数の配線及び複数の画素がマトリクス状に配置された画素部と、

20 前記複数の配線の各々に対応した複数の電流源回路及びシフトレジスタを有する信号線駆動回路が設けられた発光装置の駆動方法であって、

1 フレーム期間は複数のサブフレーム期間を有し、

前記複数のサブフレーム期間の各々はアドレス期間と点灯期間を有し、

前記アドレス期間において、前記シフトレジスタから供給されるサンプリングパ

25 ルスに従って、前記複数の電流源回路が有する容量手段は、供給された電流を電圧に変換し、

前記点灯期間において、前記複数の電流源回路が有する供給手段は、前記変換された電圧に応じた電流を前記画素に供給することを特徴とする発光装置の駆動方法。

22. 複数の配線及び複数の走査線並びに複数の画素がマトリクス状に配置された

5 画素部と、

前記複数の配線の各々に対応した複数の電流源回路及びシフトレジスタを有する信号線駆動回路が設けられた発光装置の駆動方法であって、

1 フレーム期間は複数のサブフレーム期間を有し、

前記複数のサブフレーム期間の各々はアドレス期間と点灯期間を有し、

10 前記点灯期間は、前記複数の走査線のいずれも選択されていない期間に設けられた設定動作期間を有し、

前記設定動作期間において、前記シフトレジスタから供給されるサンプリングパルスに従って、前記複数の電流源回路が有する容量手段は、供給された電流を電圧に変換することを特徴とする発光装置の駆動方法。

15 23. 複数の配線及び複数の走査線並びに複数の画素がマトリクス状に配置された画素部と、

前記複数の配線の各々に対応した複数の第1電流源回路及びシフトレジスタを有する信号線駆動回路が設けられ、

前記複数の画素の各々は、発光素子及び第2電流源回路並びに前記発光素子及び

20 前記第2電流源回路の導通を制御するスイッチを有し、

前記第1及び前記第2電流源回路の各々は、容量手段及び供給手段を有する発光装置の駆動方法であって、

1 フレーム期間は複数のサブフレーム期間を有し、

前記複数のサブフレーム期間の各々はアドレス期間と点灯期間を有し、

25 前記複数のサブフレーム期間から選択されたサブフレーム期間が有する点灯期間は、第1又は第2設定動作期間を有し、

前記第1設定動作期間において、前記第1電流源回路が有する前記容量手段は、
前記第シフトレジスタから供給されるサンプリングパルスに従って、供給された電
流を電圧に変換し、

前記第2設定動作期間において、前記第2電流源回路が有する前記容量手段は、

5 供給された電流を電圧に変換することを特徴とする発光装置の駆動方法。

24. 複数の配線及び複数の走査線並びに複数の画素がマトリクス状に配置された
画素部と、

前記複数の配線の各々に対応した複数の電流源回路及びシフトレジスタを有す
る信号線駆動回路が設けられ、

10 前記複数の画素の各々は、発光素子及び第2電流源回路並びに前記発光素子及び
前記第2電流源回路の導通を制御するスイッチを有し、

前記第1及び前記第2電流源回路の各々は、容量手段及び供給手段を有する発光
装置の駆動方法であって、

1 フレーム期間は複数のサブフレーム期間を有し、

15 前記複数のサブフレーム期間の各々はアドレス期間と点灯期間を有し、

前記アドレス期間において、前記シフトレジスタから供給されるサンプリングパ
ルスに従って、前記第1電流源回路が有する前記容量手段は、供給された電流を電
圧に変換し、

前記複数のサブフレーム期間から選択されたサブフレーム期間において、前記第
20 2電流源回路が有する前記容量手段は、供給された電流を電圧に変換することを特
徴とする発光装置の駆動方法。

25. 複数の配線及び複数の走査線並びに複数の画素がマトリクス状に配置された
画素部と、

前記複数の配線の各々に対応した複数の電流源回路及びシフトレジスタを有す

25 る信号線駆動回路が設けられ、

前記複数の画素の各々は、発光素子及び第2電流源回路並びに前記発光素子及び

前記第2電流源回路の導通を制御するスイッチを有し、

前記第1及び前記第2電流源回路の各々は、容量手段及び供給手段を有する発光装置の駆動方法であって、

1フレーム期間は複数のサブフレーム期間を有し、

5 前記複数のサブフレーム期間の各々はアドレス期間と点灯期間を有し、

前記複数のサブフレーム期間から選択された第1サブフレーム期間は、前記複数の走査線のいずれも選択されていない期間に設けられた第1設定動作期間を有し、

前記複数のサブフレーム期間から選択された第2サブフレーム期間は、第2設定動作期間を有し、

10 前記第1設定動作期間において、前記第1電流源回路が有する前記容量手段は、前記第シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に変換し、

前記第2設定動作期間において、前記第2電流源回路が有する前記容量手段は、供給された電流を電圧に変換することを特徴とする発光装置の駆動方法。

15 26. 複数の配線及び複数の走査線並びに複数の画素がマトリクス状に配置された画素部と、

前記複数の配線の各々に対応した複数の電流源回路及びシフトレジスタを有する信号線駆動回路が設けられ、

前記複数の画素の各々は、発光素子及び第2電流源回路並びに前記発光素子及び

20 前記第2電流源回路の導通を制御するスイッチを有し、

前記第1及び前記第2電流源回路の各々は、容量手段及び供給手段を有する発光装置の駆動方法であって、

1フレーム期間は複数のサブフレーム期間を有し、

前記複数のサブフレーム期間の各々はアドレス期間と点灯期間を有し、

25 前記点灯期間において、前記第1電流源回路が有する前記容量手段は、前記シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に

変換し、

前記複数のサブフレーム期間から選択されたサブフレーム期間は設定動作期間を有し、

前記設定動作期間において、前記第2電流源回路が有する前記容量手段は、供給

5 された電流を電圧に変換することを特徴とする発光装置の駆動方法。

27. 複数の配線及び複数の走査線並びに複数の画素がマトリクス状に配置された画素部と、

前記複数の配線の各々に対応した複数の電流源回路及びシフトレジスタを有する信号線駆動回路が設けられ、

10 前記複数の画素の各々は、発光素子及び第2電流源回路並びに前記発光素子及び前記第2電流源回路の導通を制御するスイッチを有し、

前記第1及び前記第2電流源回路の各々は、容量手段及び供給手段を有する発光装置の駆動方法であって、

1 フレーム期間は複数のサブフレーム期間を有し、

15 前記複数のサブフレーム期間の各々はアドレス期間と点灯期間を有し、

前記点灯期間は、前記複数の走査線のいずれも選択されていない期間に設けられた設定動作期間を有し、

前記設定動作期間において、前記第1電流源回路が有する前記容量手段は、前記シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電

20 圧に変換し、

前記アドレス期間において、前記第2電流源回路が有する前記容量手段は、供給された電流を電圧に変換することを特徴とする発光装置の駆動方法。

28. 複数の配線及び複数の画素がマトリクス状に配置された画素部と、

前記複数の配線の各々に対応した複数の電流源回路及びシフトレジスタを有す

25 る信号線駆動回路が設けられた発光装置の駆動方法であって、

1 フレーム期間は複数の水平走査期間を有し、

前記複数の水平走査期間の各々は、設定動作期間を有し、

前記設定動作期間において、前記複数の電流源回路が有する容量手段は、前記シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に変換することを特徴とする発光装置の駆動方法。

5 29. 複数の配線及び複数の画素がマトリクス状に配置された画素部と、

前記複数の配線の各々に対応した複数の電流源回路及びシフトレジスタを有する信号線駆動回路が設けられた発光装置の駆動方法であって、

1 フレーム期間は複数の水平走査期間を有し、

前記複数の水平走査期間の各々は、設定動作期間を有し、

10 前記設定動作期間において、前記複数の電流源回路が有する容量手段は、前記シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に変換することを特徴とする発光装置の駆動方法。

30. 複数の配線及び複数の画素がマトリクス状に配置された画素部と、

前記複数の配線の各々に対応した複数の電流源回路及びシフトレジスタを有す

15 る信号線駆動回路が設けられた発光装置の駆動方法であって、

1 フレーム期間は複数の水平走査期間と設定動作期間を有し、

前記設定動作期間において、前記容量手段は、前記シフトレジスタから供給され
るサンプリングパルスに従って、供給された電流を電圧に変換することを特徴とす
る発光装置の駆動方法。

20 31. 請求項 21 乃至請求項 30 のいずれか一項において、

前記画素部は線順次駆動又は点順次駆動を行うことを特徴とする発光装置の駆
動方法。

32. 請求項 21 乃至請求項 30 のいずれか一項において、

前記複数の配線は、複数の信号線又は複数の電流線であることを特徴とする発光

25 装置の駆動方法。

33. 請求項 12 において、

前記第1及び前記第2トランジスタのゲート幅/ゲート長は同じ値に設定されることを特徴とする信号線駆動回路。

34. 請求項12において、

前記第1トランジスタのゲート幅/ゲート長は、前記第2トランジスタのゲート幅

5 /ゲート長よりも大きい値に設定されることを特徴とする信号線駆動回路。

35. 請求項13において、

前記第1及び前記第2トランジスタのゲート幅/ゲート長は同じ値に設定されることを特徴とする信号線駆動回路。

36. 請求項13において、

10 前記第1トランジスタのゲート幅/ゲート長は、前記第2トランジスタのゲート幅
/ゲート長よりも大きい値に設定されることを特徴とする信号線駆動回路。

37. 請求項2に記載の前記信号線駆動回路と、各々に発光素子を含む複数の画素
がマトリクス状に配置された画素部を有し、

前記発光素子には、前記信号線駆動回路から電流が供給されることを特徴とする

15 発光装置。

38. 請求項3に記載の前記信号線駆動回路と、各々に発光素子を含む複数の画素
がマトリクス状に配置された画素部を有し、

前記発光素子には、前記信号線駆動回路から電流が供給されることを特徴とする
発光装置。

20 39. 請求項4に記載の前記信号線駆動回路と、各々に発光素子を含む複数の画素
がマトリクス状に配置された画素部を有し、

前記発光素子には、前記信号線駆動回路から電流が供給されることを特徴とする
発光装置。

補正書の請求の範囲

補正書の請求の範囲 [2003年3月31日(31.03.03) 国際事務局受理:出願
当初の請求の範囲1-4、17及び21-30は補正された;新たな請求の範囲40-4
3が追加された;他の請求の範囲は変更なし。 (11頁)]

1. (補正後) 複数の配線の各々に対応した複数の電流源回路及びシフトレジスタ
- 5 を有する信号線駆動回路であって、
前記複数の電流源回路の各々は、前記シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に変換する手段と、前記変換された電圧を保持する容量手段と、前記変換された電圧に応じた電流を供給する供給手段を有することを特徴とする信号線駆動回路。
- 10 2. (補正後) 複数の配線の各々に対応した複数の電流源回路及びシフトレジスタを有する信号線駆動回路であって、
1本の配線につき、各々が変換手段及び供給手段を有する2個の電流源回路が配置され、
前記シフトレジスタから供給されるサンプリングパルスに従って、前記2個の電
- 15 流源回路のうち、一方の電流源回路の変換手段は供給された電流を電圧に変換し、他方の電流源回路の供給手段は変換された電圧に応じた電流を供給することを特徴とする信号線駆動回路。
3. (補正後) 複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路であって、
- 20 1本の配線につき、n個の電流源回路(nは2以上の自然数)が配置され、
前記シフトレジスタから供給されるサンプリングパルスに従って、前記n個の電流源回路の各々は、供給された電流を電圧に変換する手段と、前記変換された電圧を保持する容量手段と、変換された電圧に応じた電流を供給する供給手段を有することを特徴とする信号線駆動回路。
- 25 4. (補正後) 請求項1乃至請求項3のいずれか一項において、
前記n個の電流源回路は、互いに異なるビットに対応したn個のリファレンス用

定電流源に接続され、

前記n個のリファレンス用定電流源から供給される電流値は、 $2^0 : 2^1 : \dots : 2^{n-1}$ に設定されることを特徴とする信号線駆動回路。

5. 請求項1乃至請求項3のいずれか一項において、

5 前記n個の電流源回路は、最上位ビットに対応した1個のリファレンス用定電流源に接続されることを特徴とする信号線駆動回路。

6. 請求項1乃至請求項3のいずれか一項において、

前記複数の配線は、複数の信号線又は複数の電流線であることを特徴とする信号線駆動回路。

10 7. 請求項1乃至請求項3のいずれか一項において、

前記シフトレジスタはデコーダ回路で構成され、前記複数の配線をランダムに選択することを特徴とする信号線駆動回路。

8. 請求項1乃至請求項3のいずれか一項において、

前記容量手段は、前記供給手段が有するトランジスタのドレインとゲートが短絡

15 された状態にあるとき、供給された電流により、そのゲート・ソース間に発生する電圧を保持することを特徴とする信号線駆動回路。

9. 請求項1乃至請求項3のいずれか一項において、

前記供給手段は、トランジスタと、前記トランジスタのゲートとドレインの導通を制御する第1スイッチと、リファレンス用定電流源と前記トランジスタのゲート

20 の導通を制御する第2スイッチと、前記トランジスタのドレインと画素の導通を制御する第3スイッチとを有することを特徴とする信号線駆動回路。

10. 請求項1乃至請求項3のいずれか一項において、

前記容量手段は、前記供給手段が有する第1及び第2トランジスタの両方のドレインとゲートが短絡された状態にあるとき、供給された電流により、前記第1又は

25 前記第2トランジスタのゲート・ソース間に発生する電圧を保持することを特徴とする信号線駆動回路。

11. 請求項1乃至請求項3のいずれか一項において、

前記供給手段は、第1及び第2トランジスタで構成されるカレントミラーレ路と、

ソースは前記第2スイッチに接続され、前記トランジスタのドレインは前記第3スイッチに接続されることを特徴とする信号線駆動回路。

17. (補正後) 請求項1乃至請求項3のいずれか一項において、

前記供給手段は、m個のトランジスタを含むカレントミラー回路を有し、

5 前記m個のトランジスタのゲート幅/ゲート長は $2^0 : 2^1 : \dots : 2^{m-1}$ に設定され、

前記m個のトランジスタのドレイン電流は $2^0 : 2^1 : \dots : 2^{m-1}$ に設定されることを特徴とする信号線駆動回路。

18. 請求項1乃至請求項3のいずれか一項において、

10 前記供給手段を構成するトランジスタは飽和領域で動作することを特徴とする信号線駆動回路。

19. 請求項1乃至請求項3のいずれか一項において、

前記電流源回路を構成するトランジスタの能動層はポリシリコンで形成されることを特徴とする信号線駆動回路。

15 20. 請求項1乃至請求項19のいずれか一項に記載の前記信号線駆動回路と、各々に発光素子を含む複数の画素がマトリクス状に配置された画素部を有し、前記発光素子には、前記信号線駆動回路から電流が供給されることを特徴とする発光装置。

21. (補正後) 複数の配線及び複数の画素がマトリクス状に配置された画素部と、

20 前記複数の配線の各々に対応した複数の電流源回路及びシフトレジスタを有する信号線駆動回路が設けられた発光装置の駆動方法であって、

1フレーム期間は複数のサブフレーム期間を有し、

前記複数のサブフレーム期間の各々はアドレス期間と点灯期間を有し、

前記アドレス期間において、前記シフトレジスタから供給されるサンプリングパ

25 ルスに従って、前記複数の電流源回路が有する変換手段は、供給された電流を電圧に変換し、

前記点灯期間において、前記複数の電流源回路が有する供給手段は、前記変換された電圧に応じた電流を前記画素に供給することを特徴とする発光装置の駆動方法。

22. (補正後) 複数の配線及び複数の走査線並びに複数の画素がマトリクス状に

5 配置された画素部と、

前記複数の配線の各々に対応した複数の電流源回路及びシフトレジスタを有する信号線駆動回路が設けられた発光装置の駆動方法であって、

1 フレーム期間は複数のサブフレーム期間を有し、

前記複数のサブフレーム期間の各々はアドレス期間と点灯期間を有し、

10 前記点灯期間は、前記複数の走査線のいずれも選択されていない期間に設けられた設定動作期間を有し、

前記設定動作期間において、前記シフトレジスタから供給されるサンプリングパルスに従って、前記複数の電流源回路が有する変換手段は、供給された電流を電圧に変換することを特徴とする発光装置の駆動方法。

15 23. (補正後) 複数の配線及び複数の走査線並びに複数の画素がマトリクス状に配置された画素部と、

前記複数の配線の各々に対応した複数の第1電流源回路及びシフトレジスタを有する信号線駆動回路が設けられ、

前記複数の画素の各々は、発光素子及び第2電流源回路並びに前記発光素子及び

20 前記第2電流源回路の導通を制御するスイッチを有し、

前記第1及び前記第2電流源回路の各々は、変換手段及び供給手段を有する発光装置の駆動方法であって、

1 フレーム期間は複数のサブフレーム期間を有し、

前記複数のサブフレーム期間の各々はアドレス期間と点灯期間を有し、

25 前記複数のサブフレーム期間から選択されたサブフレーム期間が有する点灯期間は、第1又は第2設定動作期間を有し、

前記第1設定動作期間において、前記第1電流源回路が有する前記変換手段は、前記シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に変換し、

前記第2設定動作期間において、前記第2電流源回路が有する前記変換手段は、

5 供給された電流を電圧に変換することを特徴とする発光装置の駆動方法。

24. (補正後) 複数の配線及び複数の走査線並びに複数の画素がマトリクス状に配置された画素部と、

前記複数の配線の各々に対応した複数の電流源回路及びシフトレジスタを有する信号線駆動回路が設けられ、

10 前記複数の画素の各々は、発光素子及び第2電流源回路並びに前記発光素子及び前記第2電流源回路の導通を制御するスイッチを有し、

前記第1及び前記第2電流源回路の各々は、変換手段及び供給手段を有する発光装置の駆動方法であって、

15 1フレーム期間は複数のサブフレーム期間を有し、
前記複数のサブフレーム期間の各々はアドレス期間と点灯期間を有し、
前記アドレス期間において、前記シフトレジスタから供給されるサンプリングパルスに従って、前記第1電流源回路が有する前記変換手段は、供給された電流を電圧に変換し、
前記複数のサブフレーム期間から選択されたサブフレーム期間において、前記第2電流源回路が有する前記変換手段は、供給された電流を電圧に変換することを特徴とする発光装置の駆動方法。

20 25. (補正後) 複数の配線及び複数の走査線並びに複数の画素がマトリクス状に配置された画素部と、

前記複数の配線の各々に対応した複数の電流源回路及びシフトレジスタを有する信号線駆動回路が設けられ、

前記複数の画素の各々は、発光素子及び第2電流源回路並びに前記発光素子及び
補正された用紙(本約第19条)

前記第2電流源回路の導通を制御するスイッチを有し、

前記第1及び前記第2電流源回路の各々は、変換手段及び供給手段を有する発光装置の駆動方法であって、

1フレーム期間は複数のサブフレーム期間を有し、

5 前記複数のサブフレーム期間の各々はアドレス期間と点灯期間を有し、

前記複数のサブフレーム期間から選択された第1サブフレーム期間は、前記複数の走査線のいずれも選択されていない期間に設けられた第1設定動作期間を有し、

前記複数のサブフレーム期間から選択された第2サブフレーム期間は、第2設定動作期間を有し、

10 前記第1設定動作期間において、前記第1電流源回路が有する前記変換手段は、前記第シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に変換し、

前記第2設定動作期間において、前記第2電流源回路が有する前記変換手段は、供給された電流を電圧に変換することを特徴とする発光装置の駆動方法。

15 26.（補正後）複数の配線及び複数の走査線並びに複数の画素がマトリクス状に配置された画素部と、

前記複数の配線の各々に対応した複数の電流源回路及びシフトレジスタを有する信号線駆動回路が設けられ、

前記複数の画素の各々は、発光素子及び第2電流源回路並びに前記発光素子及び

20 前記第2電流源回路の導通を制御するスイッチを有し、

前記第1及び前記第2電流源回路の各々は、変換手段及び供給手段を有する発光装置の駆動方法であって、

1フレーム期間は複数のサブフレーム期間を有し、

前記複数のサブフレーム期間の各々はアドレス期間と点灯期間を有し、

25 前記点灯期間において、前記第1電流源回路が有する前記変換手段は、前記シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に

変換し、

前記複数のサブフレーム期間から選択されたサブフレーム期間は設定動作期間を有し、

前記設定動作期間において、前記第2電流源回路が有する前記変換手段は、供給

5 された電流を電圧に変換することを特徴とする発光装置の駆動方法。

27. (補正後) 複数の配線及び複数の走査線並びに複数の画素がマトリクス状に配置された画素部と、

前記複数の配線の各々に対応した複数の電流源回路及びシフトレジスタを有する信号線駆動回路が設けられ、

10 前記複数の画素の各々は、発光素子及び第2電流源回路並びに前記発光素子及び前記第2電流源回路の導通を制御するスイッチを有し、

前記第1及び前記第2電流源回路の各々は、変換手段及び供給手段を有する発光装置の駆動方法であって、

1 フレーム期間は複数のサブフレーム期間を有し、

15 前記複数のサブフレーム期間の各々はアドレス期間と点灯期間を有し、

前記点灯期間は、前記複数の走査線のいずれも選択されていない期間に設けられた設定動作期間を有し、

前記設定動作期間において、前記第1電流源回路が有する前記変換手段は、前記シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電

20 圧に変換し、

前記アドレス期間において、前記第2電流源回路が有する前記変換手段は、供給された電流を電圧に変換することを特徴とする発光装置の駆動方法。

28. (補正後) 複数の配線及び複数の画素がマトリクス状に配置された画素部と、

前記複数の配線の各々に対応した複数の電流源回路及びシフトレジスタを有す

25 る信号線駆動回路が設けられた発光装置の駆動方法であって、

1 フレーム期間は複数の水平走査期間を有し、

前記複数の水平走査期間の各々は、設定動作期間を有し、

前記設定動作期間において、前記複数の電流源回路が有する変換手段は、前記シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に変換することを特徴とする発光装置の駆動方法。

5 29. (補正後) 複数の配線及び複数の画素がマトリクス状に配置された画素部と、前記複数の配線の各々に対応した複数の電流源回路及びシフトレジスタを有する信号線駆動回路が設けられた発光装置の駆動方法であって、

1 フレーム期間は複数の水平走査期間を有し、

前記複数の水平走査期間の各々は、設定動作期間を有し、

10 前記設定動作期間において、前記複数の電流源回路が有する変換手段は、前記シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に変換することを特徴とする発光装置の駆動方法。

30. (補正後) 複数の配線及び複数の画素がマトリクス状に配置された画素部と、

前記複数の配線の各々に対応した複数の電流源回路及びシフトレジスタを有す

15 る信号線駆動回路が設けられた発光装置の駆動方法であって、

1 フレーム期間は複数の水平走査期間と設定動作期間を有し、

前記設定動作期間において、変換手段は、前記シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に変換することを特徴とする発光装置の駆動方法。

20 31. 請求項 21 乃至請求項 30 のいずれか一項において、

前記画素部は線順次駆動又は点順次駆動を行うことを特徴とする発光装置の駆動方法。

32. 請求項 21 乃至請求項 30 のいずれか一項において、

前記複数の配線は、複数の信号線又は複数の電流線であることを特徴とする発光

25 装置の駆動方法。

33. 請求項 12 において、

前記第1及び前記第2トランジスタのゲート幅/ゲート長は同じ値に設定されることを特徴とする信号線駆動回路。

34. 請求項12において、

前記第1トランジスタのゲート幅/ゲート長は、前記第2トランジスタのゲート幅
5 /ゲート長よりも大きい値に設定されることを特徴とする信号線駆動回路。

35. 請求項13において、

前記第1及び前記第2トランジスタのゲート幅/ゲート長は同じ値に設定されることを特徴とする信号線駆動回路。

36. 請求項13において、

10 前記第1トランジスタのゲート幅/ゲート長は、前記第2トランジスタのゲート幅
/ゲート長よりも大きい値に設定されることを特徴とする信号線駆動回路。

37. 請求項2に記載の前記信号線駆動回路と、各々に発光素子を含む複数の画素
がマトリクス状に配置された画素部を有し、

前記発光素子には、前記信号線駆動回路から電流が供給されることを特徴とする

15 発光装置。

38. 請求項3に記載の前記信号線駆動回路と、各々に発光素子を含む複数の画素
がマトリクス状に配置された画素部を有し、

前記発光素子には、前記信号線駆動回路から電流が供給されることを特徴とする
発光装置。

20 39. 請求項4に記載の前記信号線駆動回路と、各々に発光素子を含む複数の画素
がマトリクス状に配置された画素部を有し、

前記発光素子には、前記信号線駆動回路から電流が供給されることを特徴とする
発光装置。

40. (追加) 請求項41において、

25 前記複数の電流源回路と複数の第2配線のそれぞれの間にスイッチを有し、ビデ
オ信号が前記スイッチに入力されることを特徴とする信号線駆動回路。

4 1. (追加) 複数の配線の各々に対応した複数の電流源回路及びシフトレジスタを有する信号線駆動回路であって、

前記複数の電流源回路の各々は、前記シフトレジスタから供給される信号に従つて、供給された電流を電圧に変換する手段と、前記変換された電圧を保持する容量

5 手段と、前記変換された電圧に応じた電流を供給する供給手段を有することを特徴とする信号線駆動回路。

4 2. (追加) 第1配線に対応した電流源回路及びシフトレジスタを有する信号線駆動回路であって、

前記電流源回路は、前記シフトレジスタから供給される信号に従つて、供給された電流を電圧に変換する手段と、前記変換された電圧を保持する容量手段と、前記変換された電圧に応じた電流を供給する供給手段を有し、

第2配線と前記電流源回路の間にスイッチを有することを特徴とする信号線駆動回路。

4 3 (追加) 請求項4 2において、

15 ビデオ信号が前記スイッチに入力されることを特徴とする信号線駆動回路。

1/82

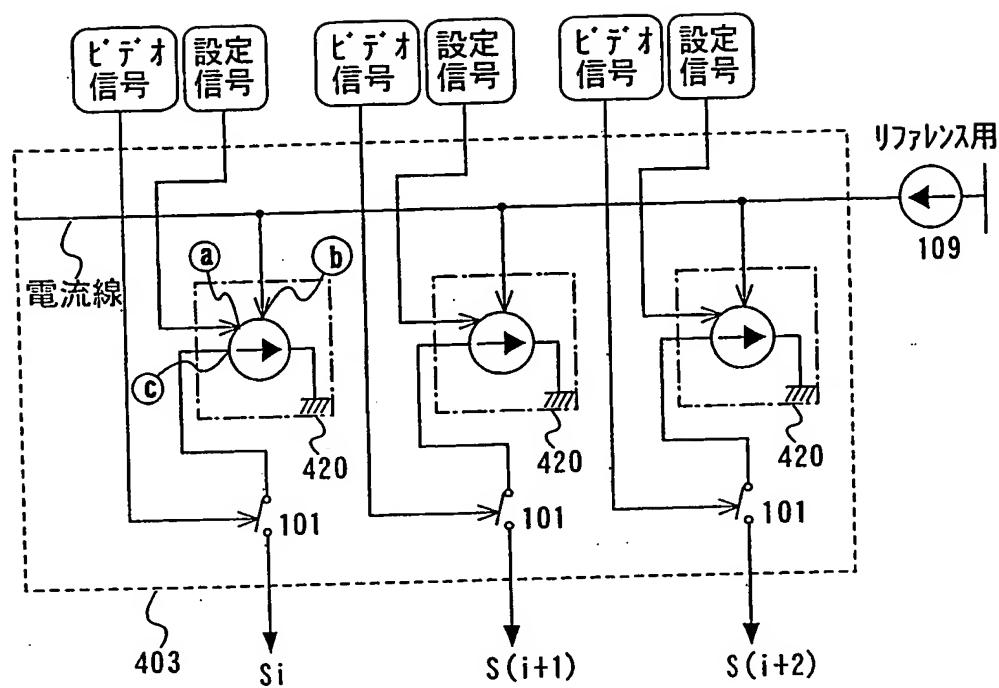
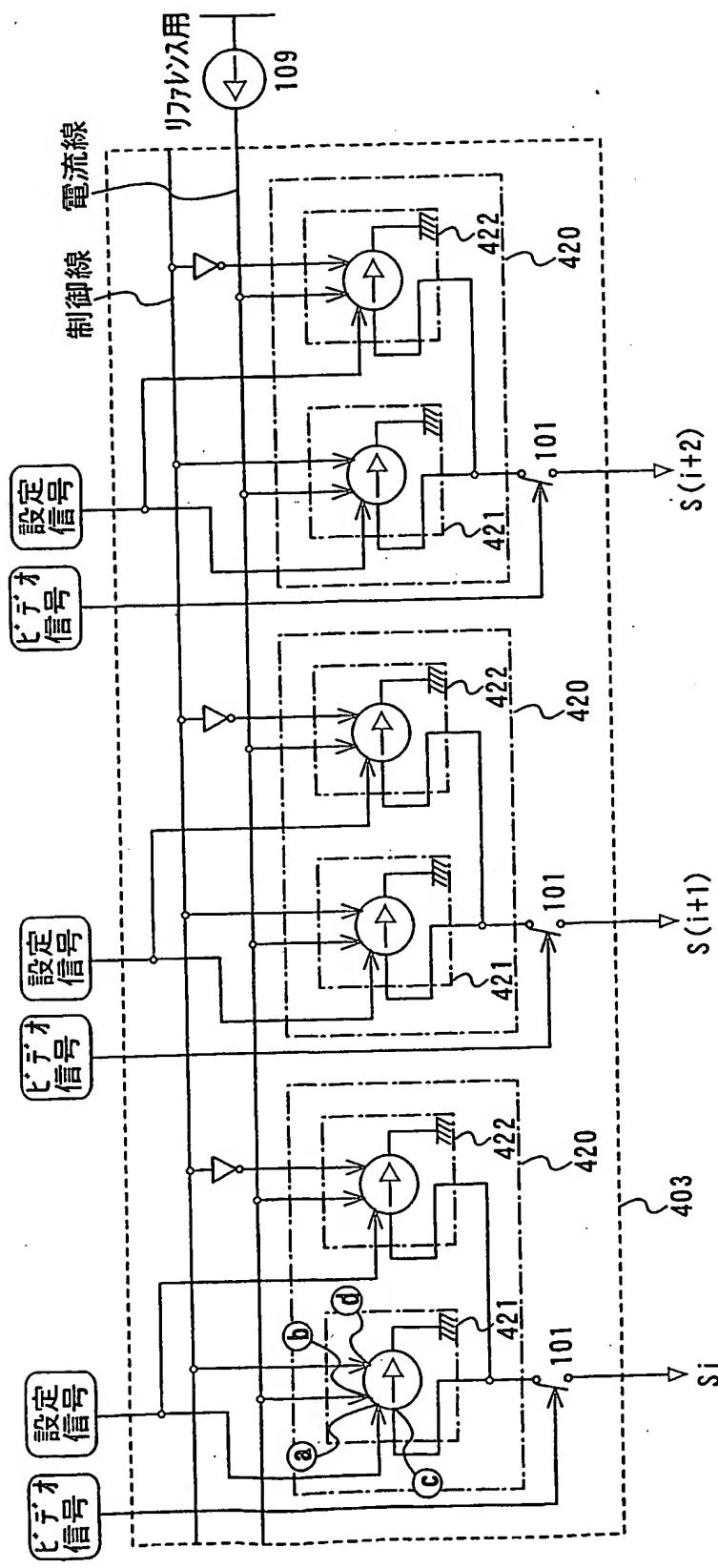


FIG. 1



差替え用紙(規則26)

FIG. 2

3/82

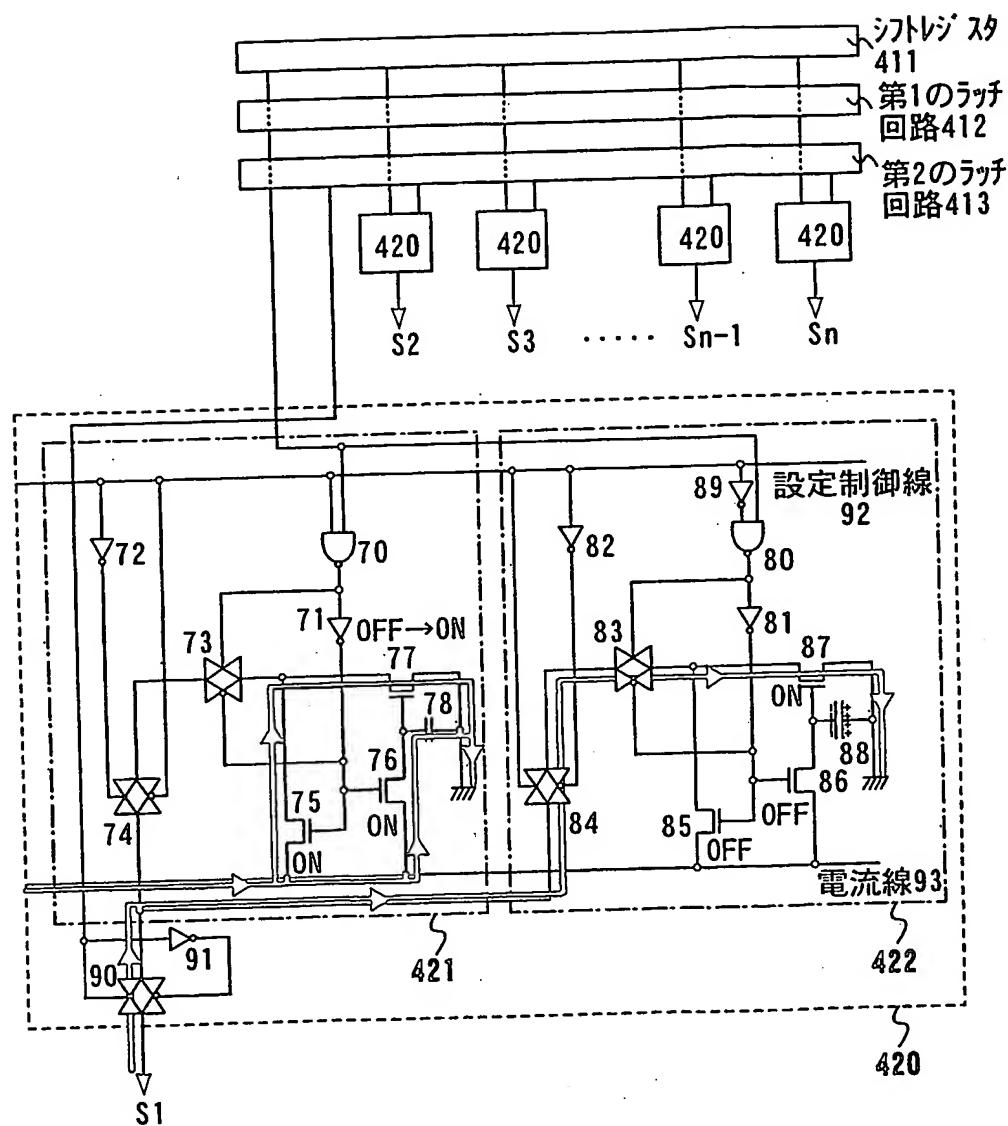


FIG. 3

4/82

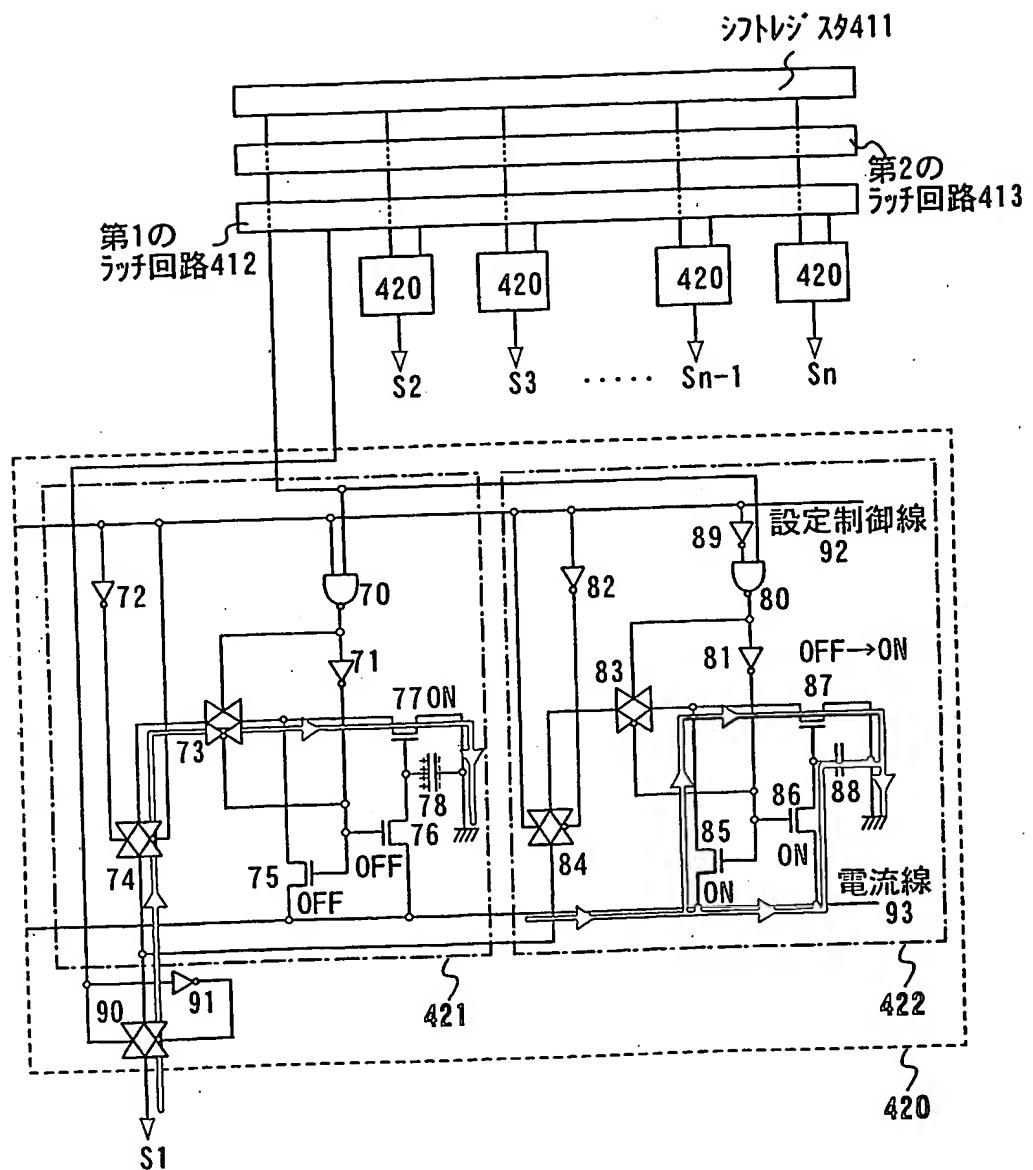


FIG. 4

5/82

FIG. 5A

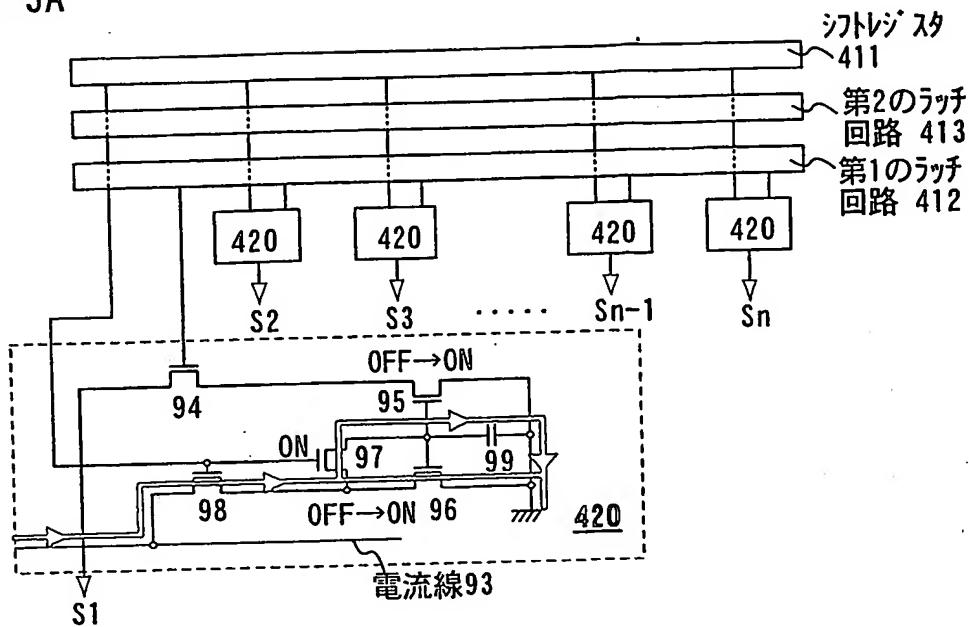


FIG. 5B

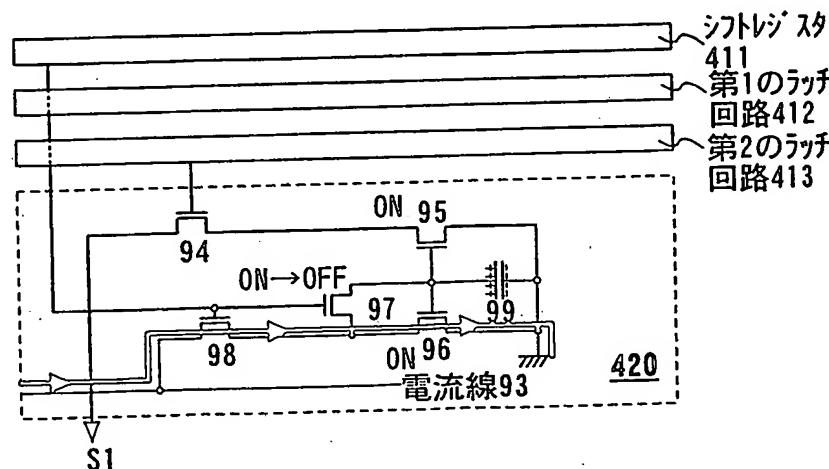


FIG. 5C

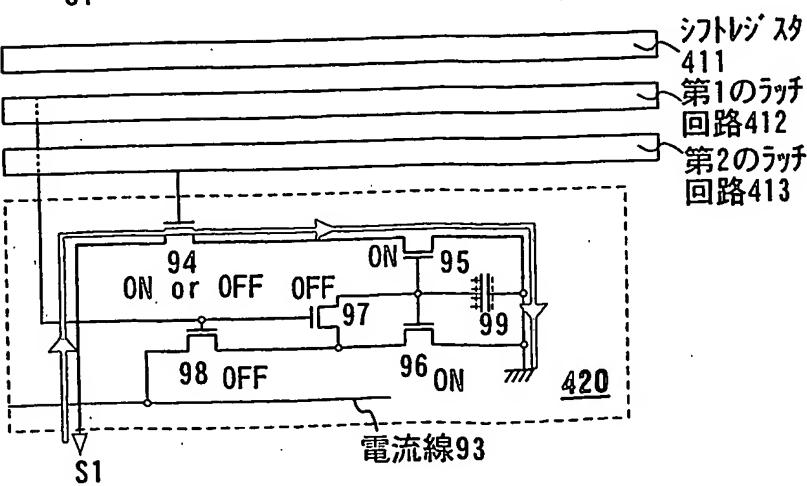


FIG. 6A

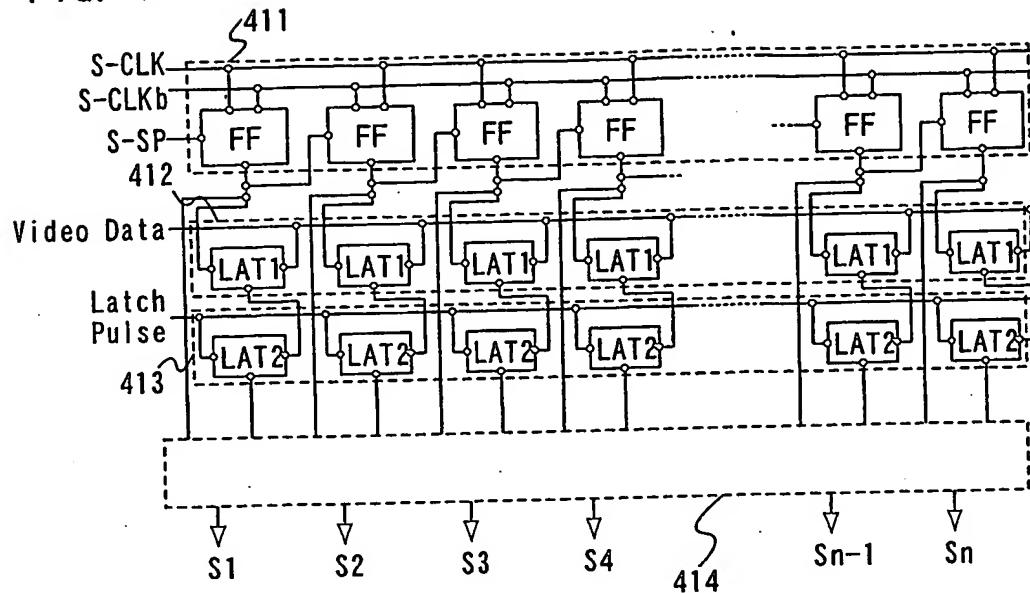
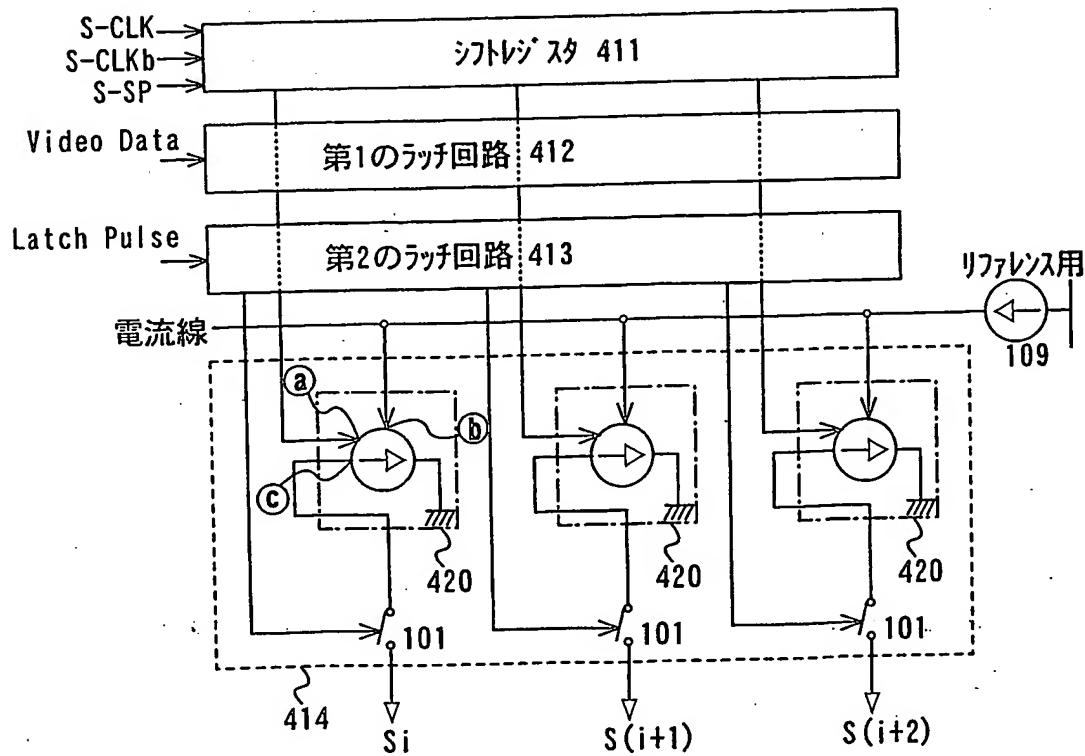


FIG. 6B



7/82

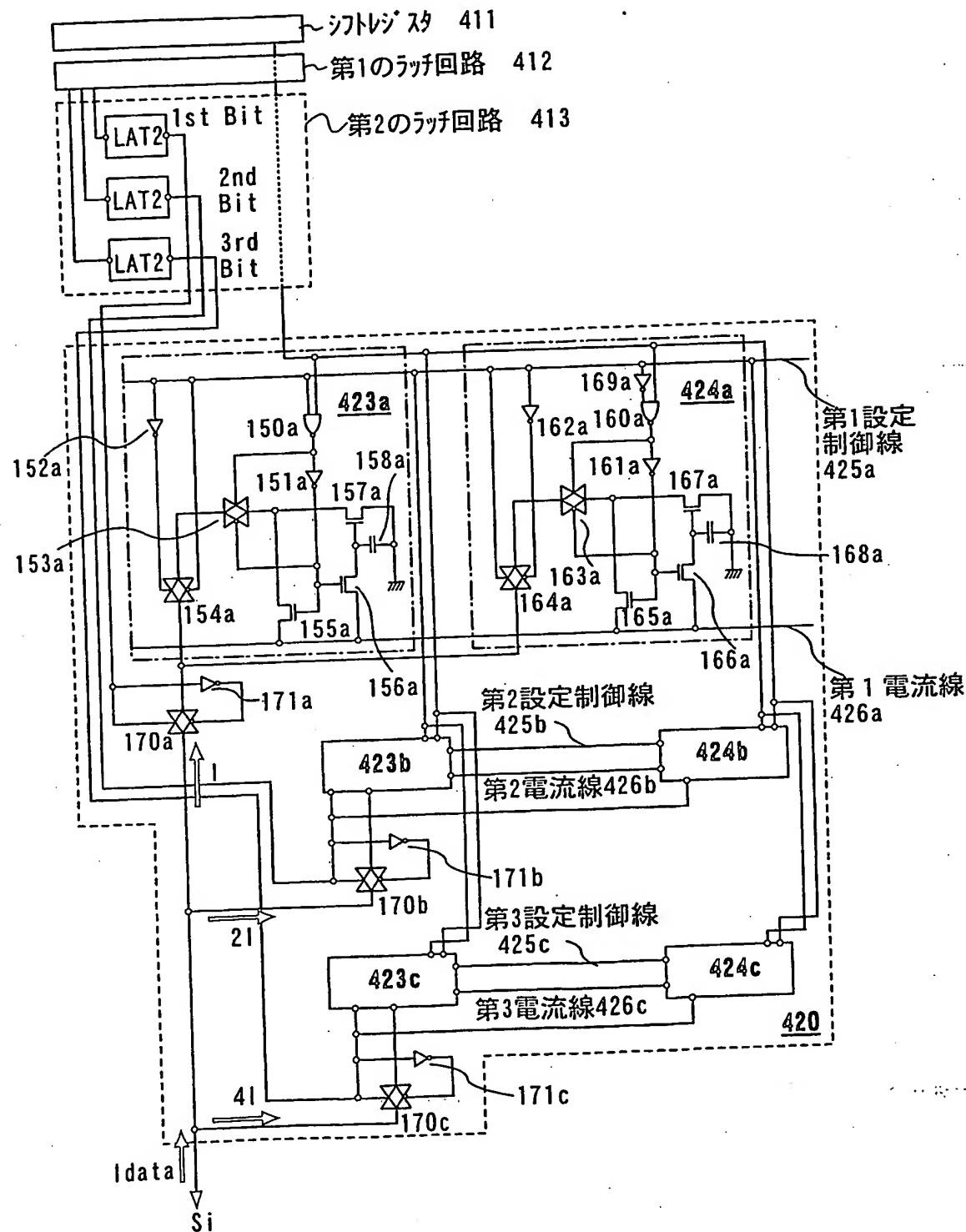


FIG. 7

8/82

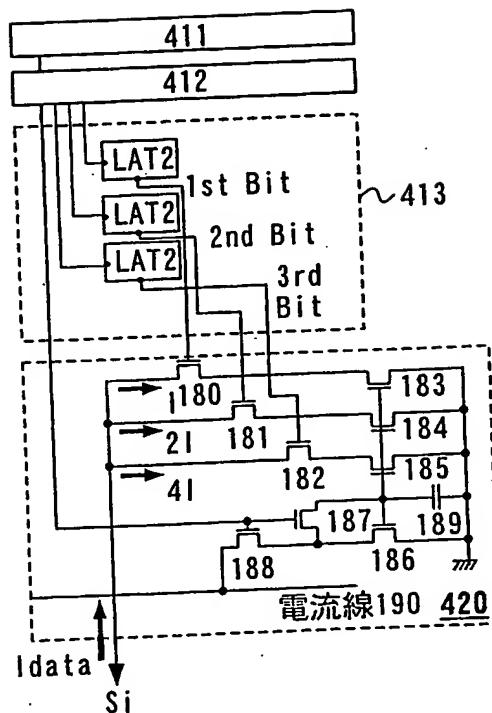
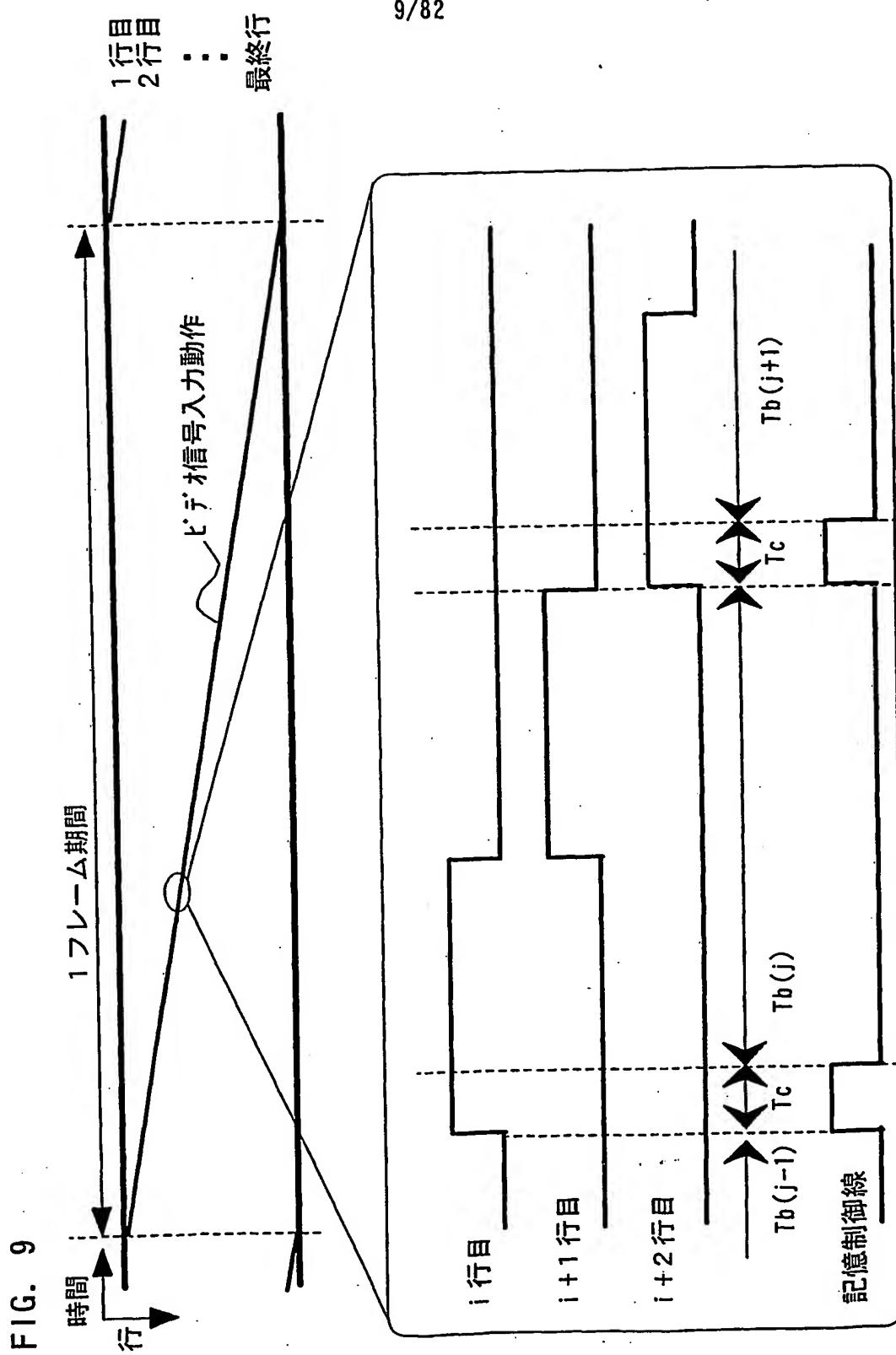


FIG. 8

9/82



差替え用紙 (規則26)

10/82

FIG. 10

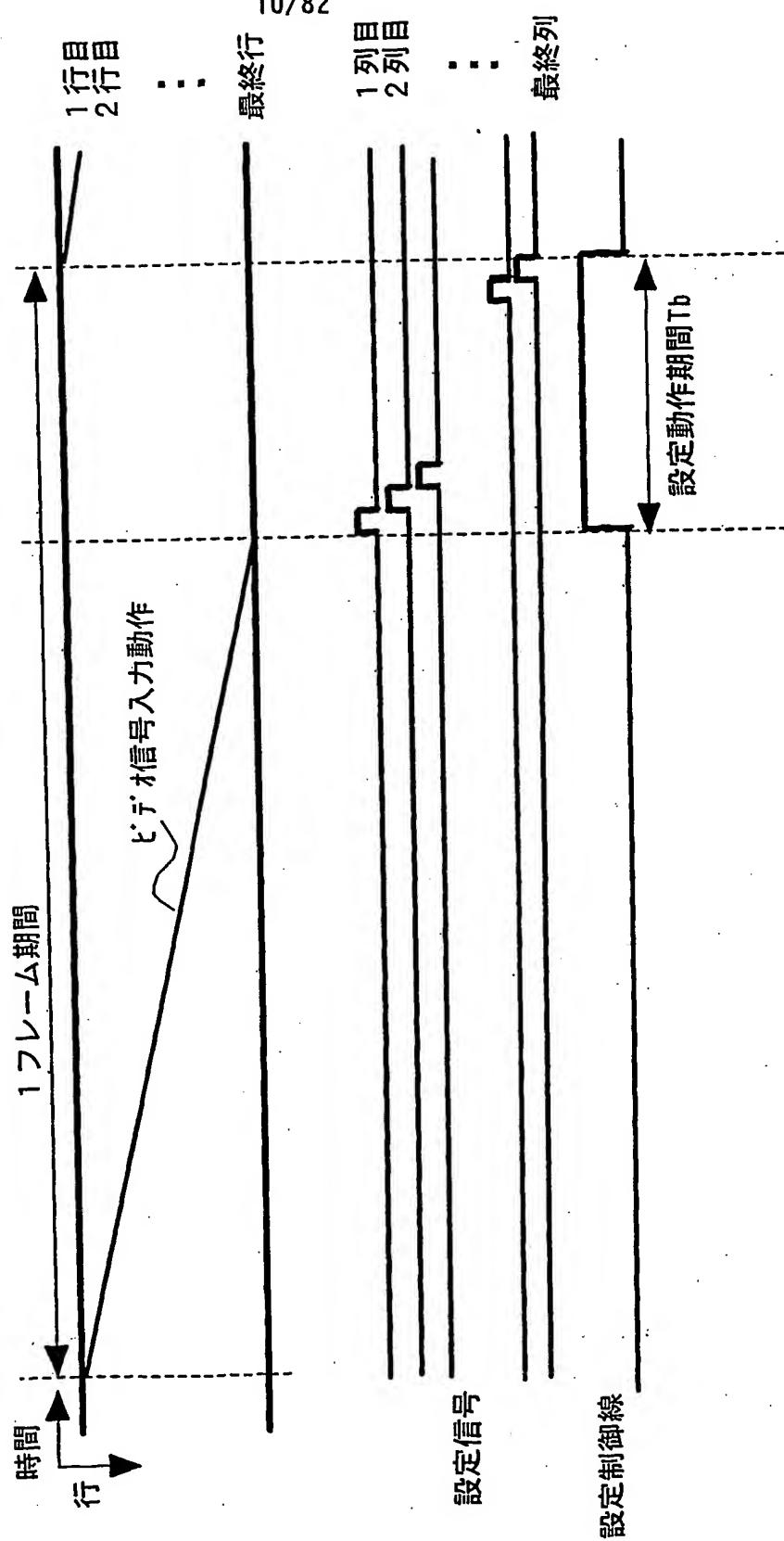
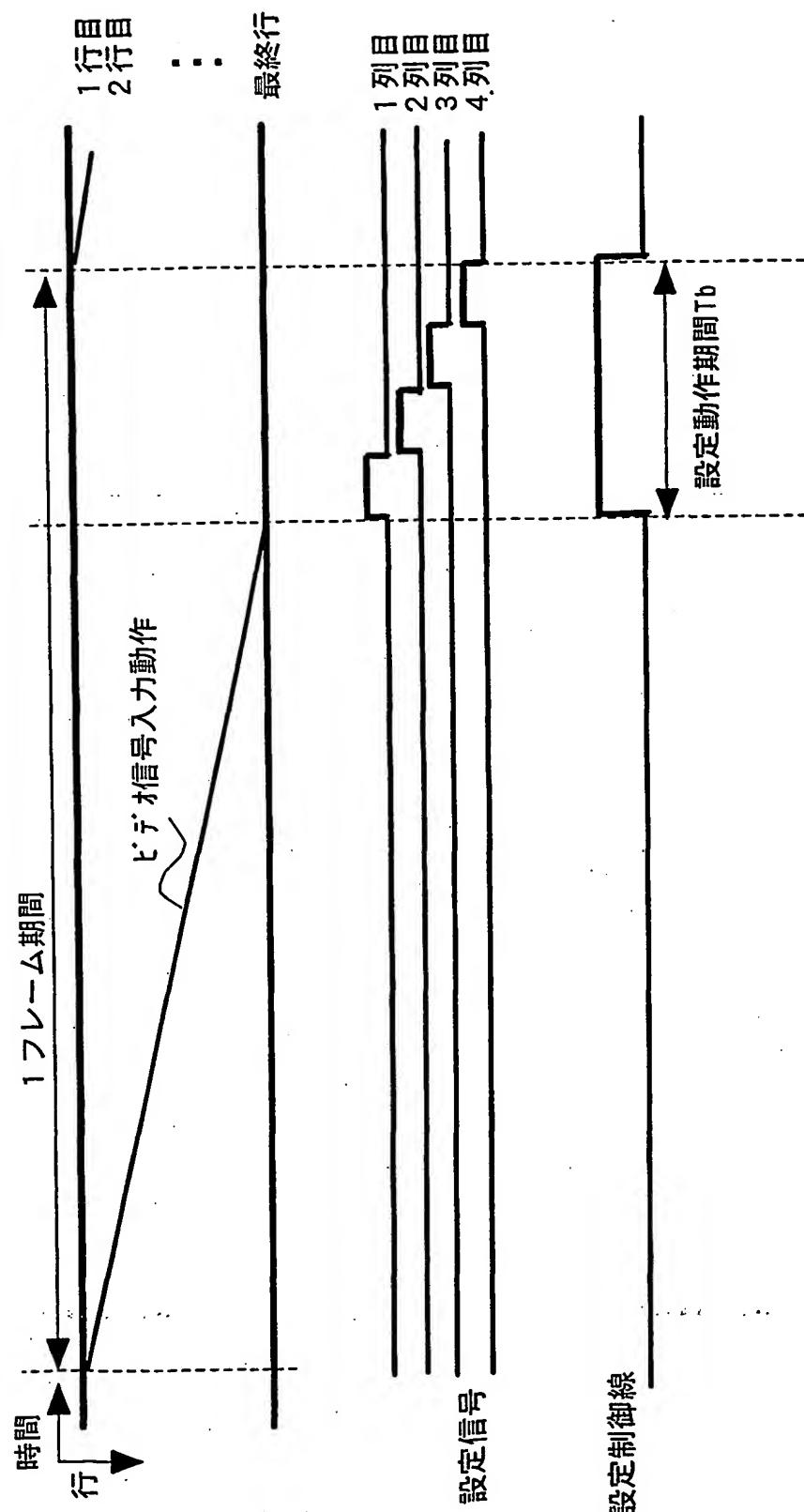


FIG. 11



送替用紙 (規則26)

12/82

FIG. 12A

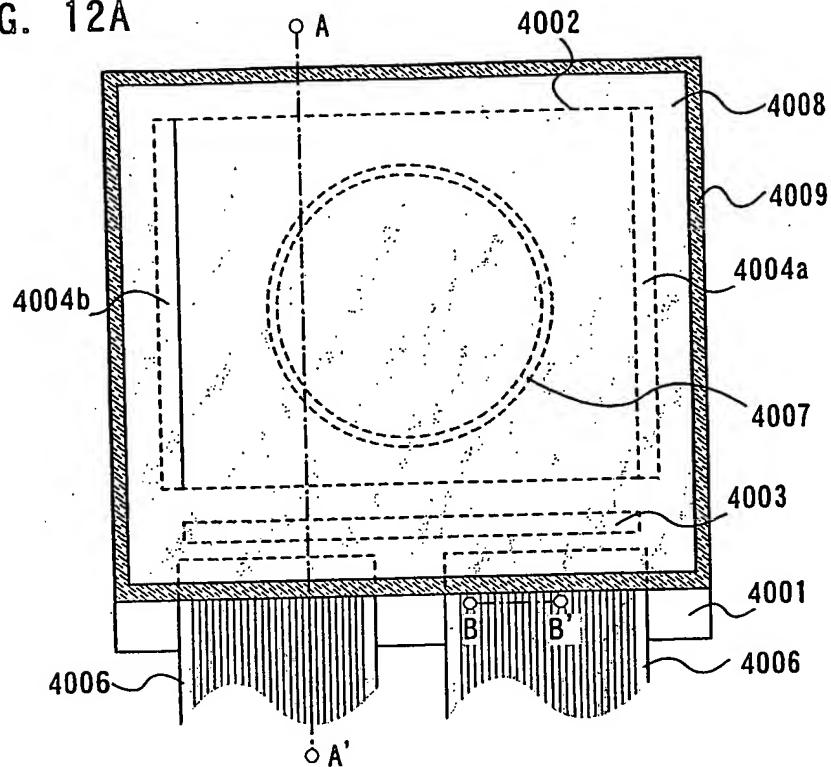


FIG. 12B

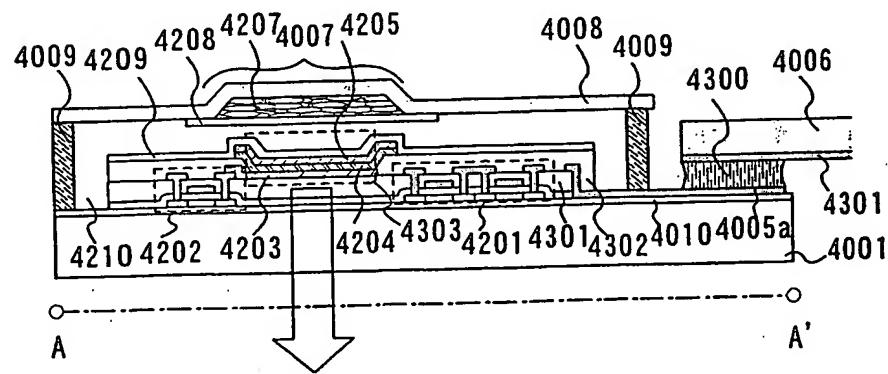
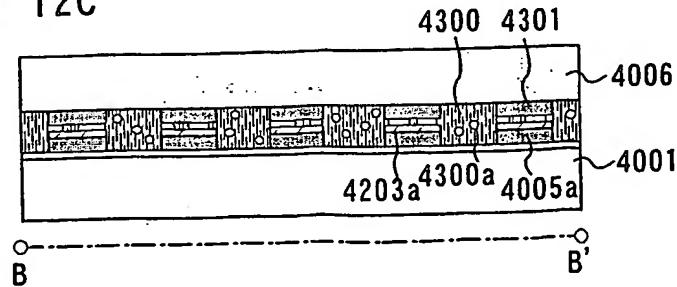
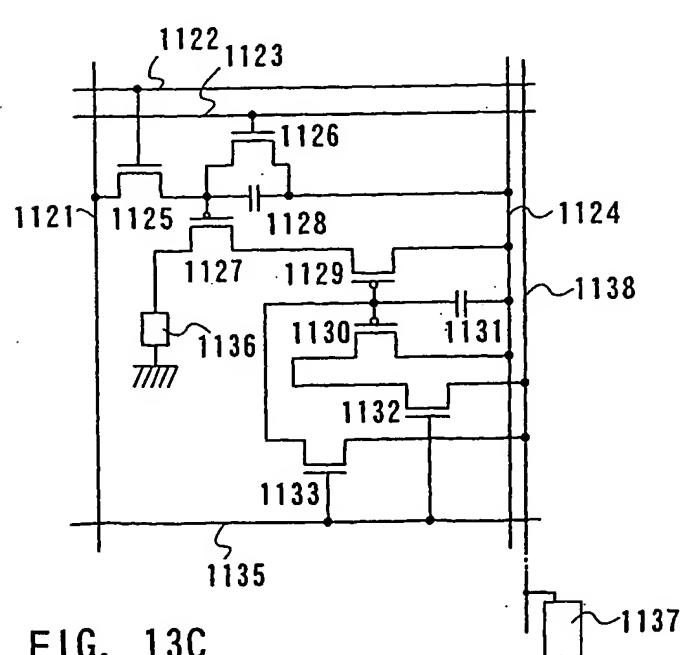
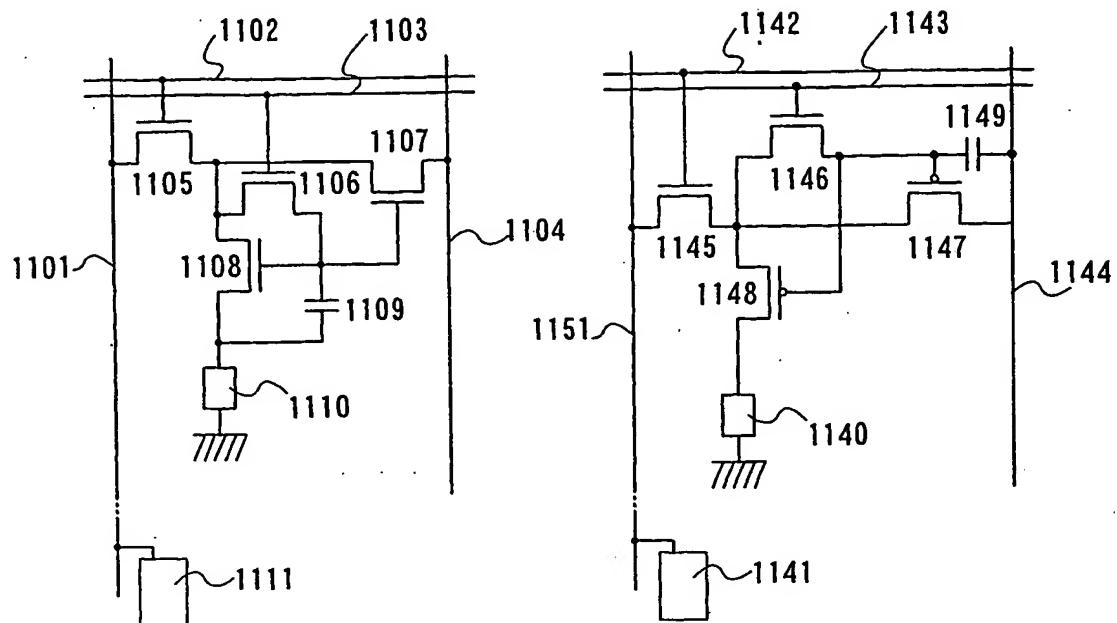


FIG. 12C





14/82

FIG. 14A



FIG. 14B

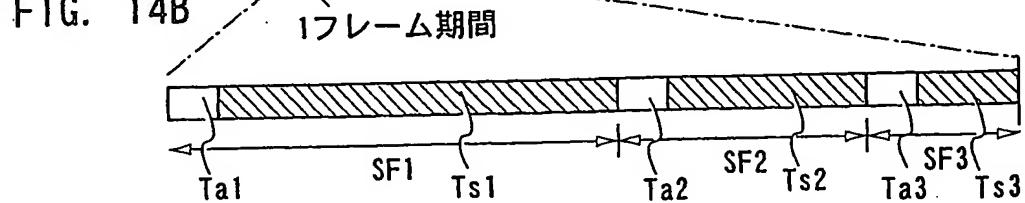


FIG. 14C

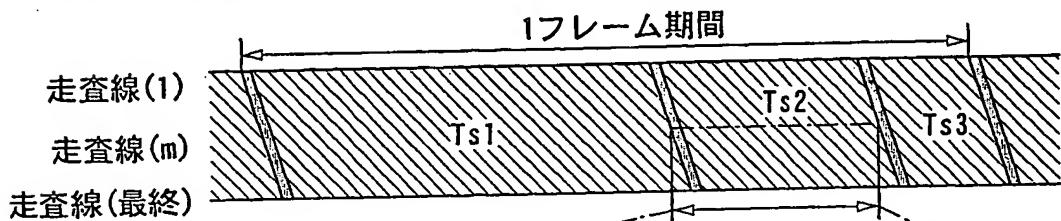


FIG. 14D

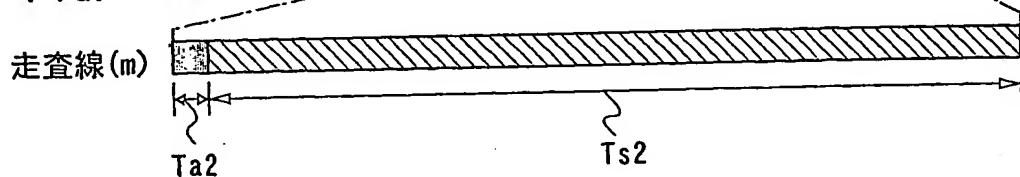


FIG. 15A

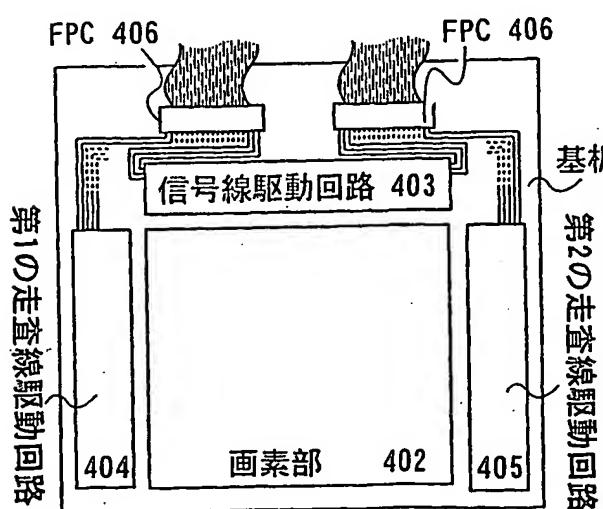
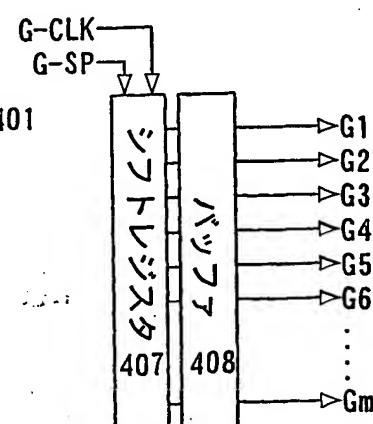


FIG. 15B



15/82

FIG. 16A

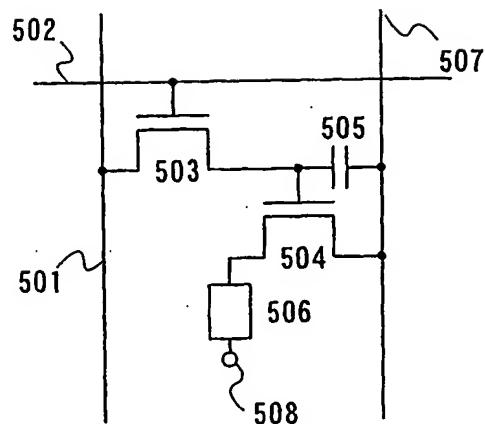


FIG. 16B

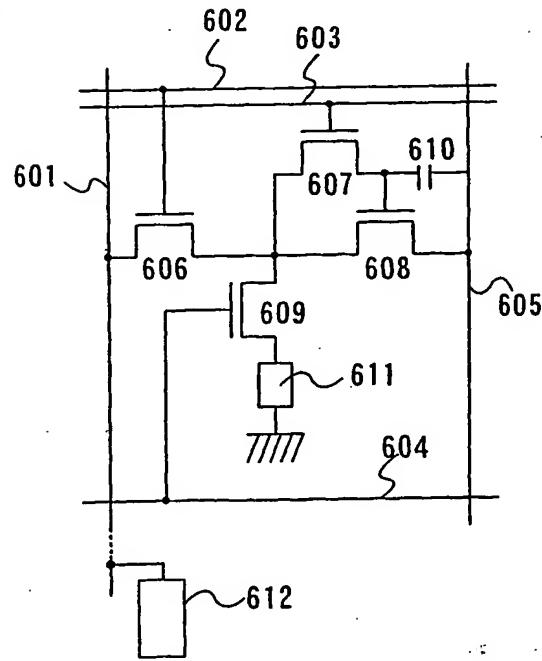


FIG. 17A

信号入力時

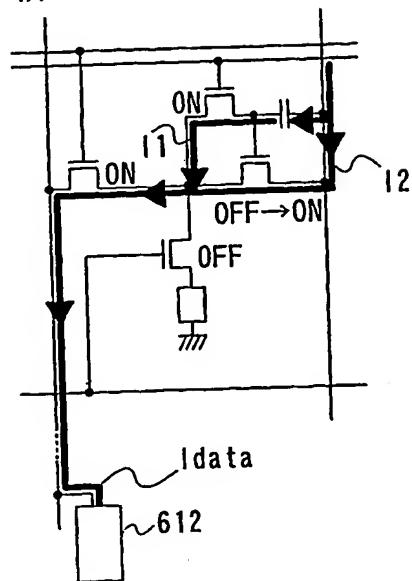


FIG. 17B

信号入力完了時

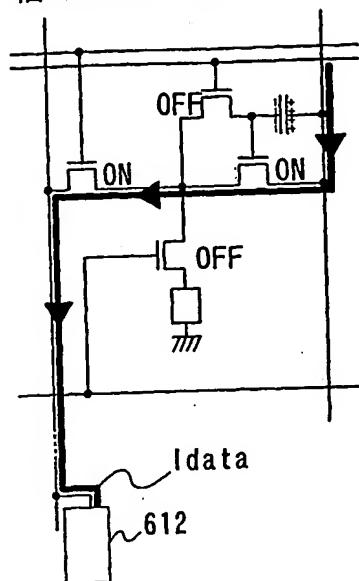


FIG. 17C

発光時

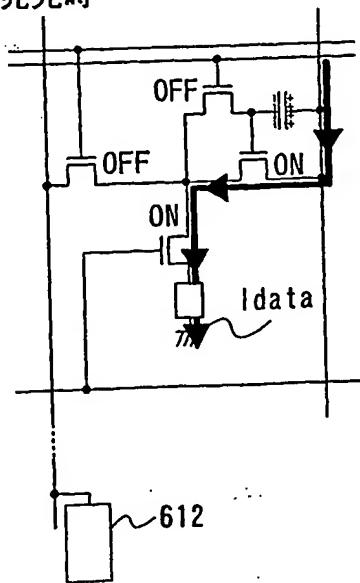


FIG. 17D

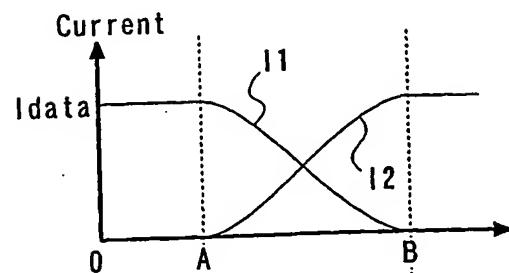
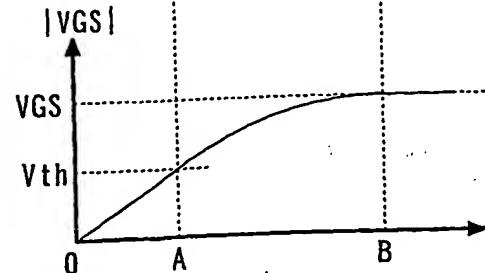


FIG. 17E



17/82

FIG. 18A

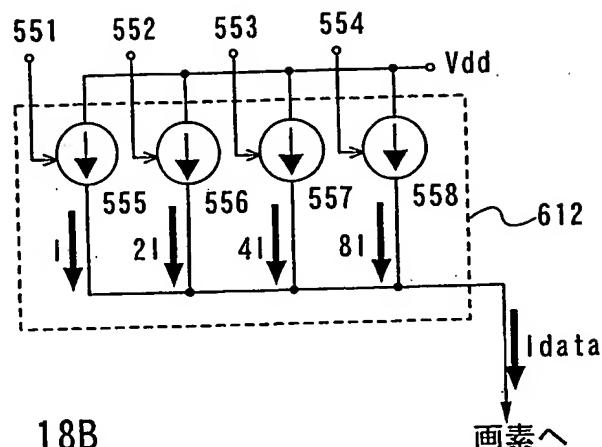
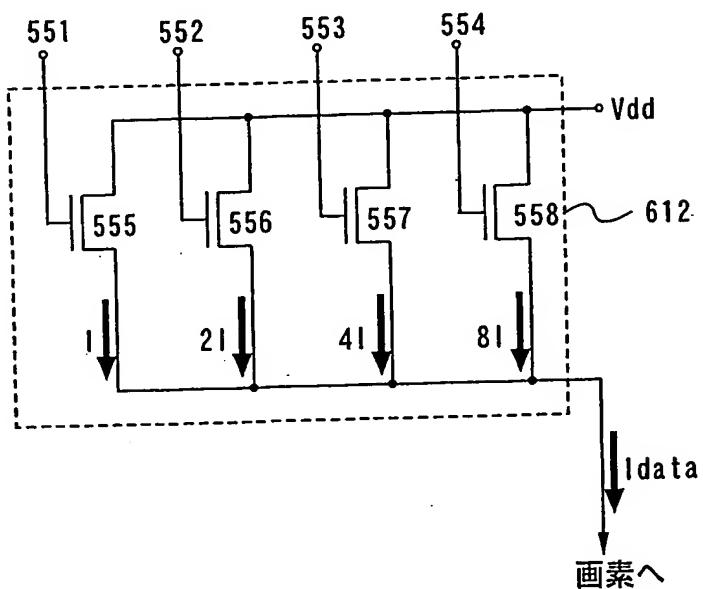


FIG. 18B



18/82

FIG. 19A

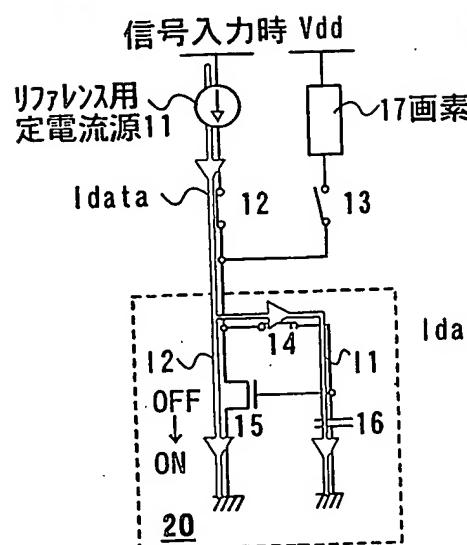


FIG. 19B

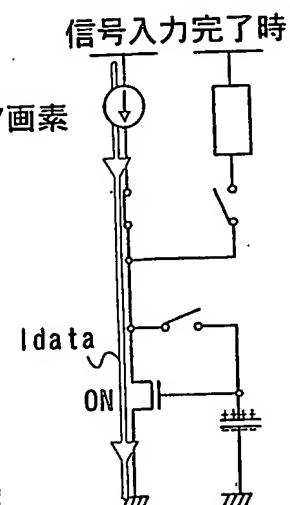


FIG. 19C

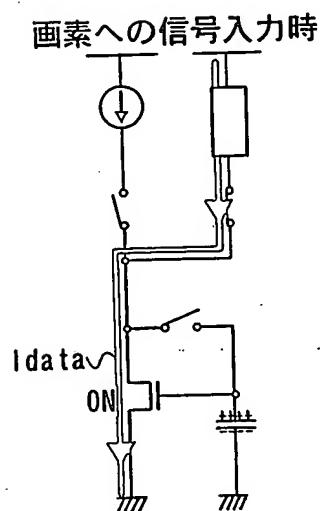


FIG. 19D

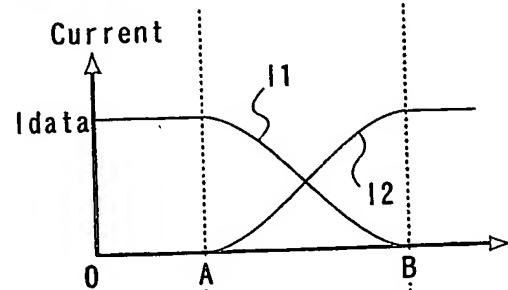


FIG. 19E

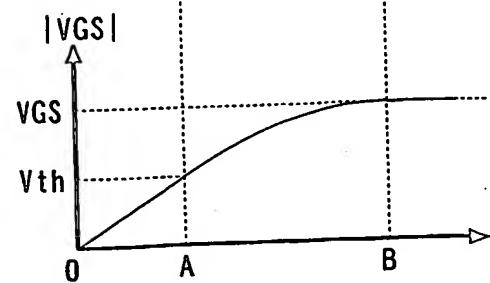
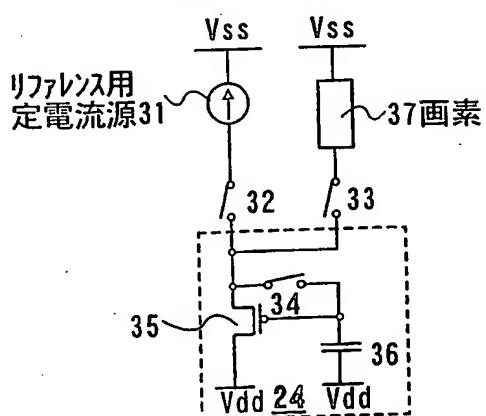


FIG. 19F



19/82

FIG. 20A

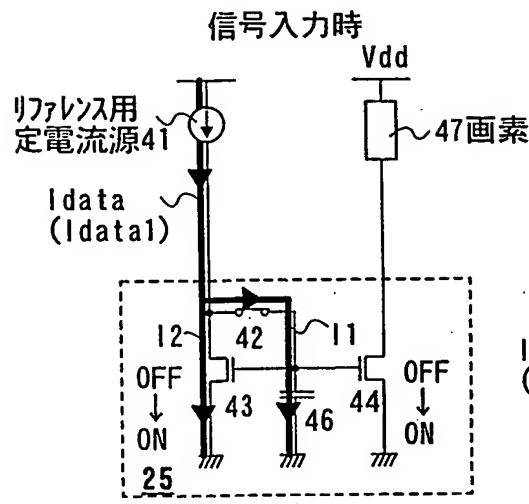


FIG. 20B

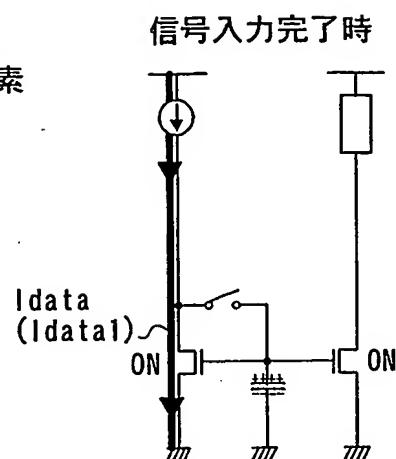


FIG. 20C

画素への信号入力時

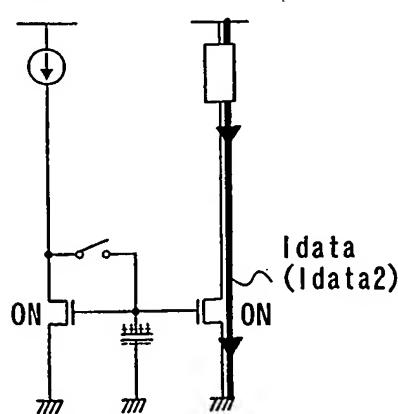


FIG. 20D

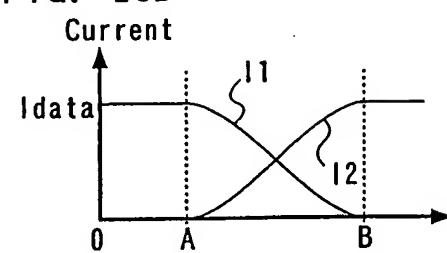
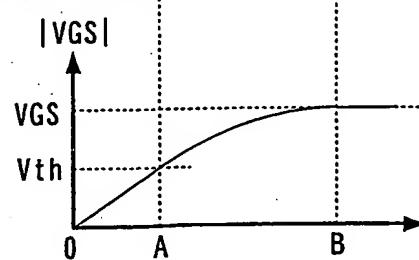


FIG. 20E



20/82

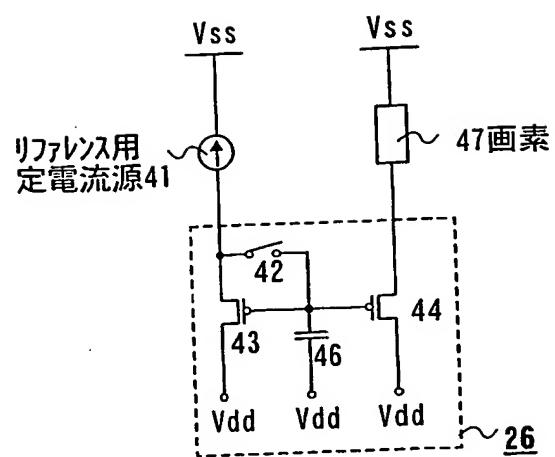


FIG. 21

差替え用紙(規則26)

FIG. 22A

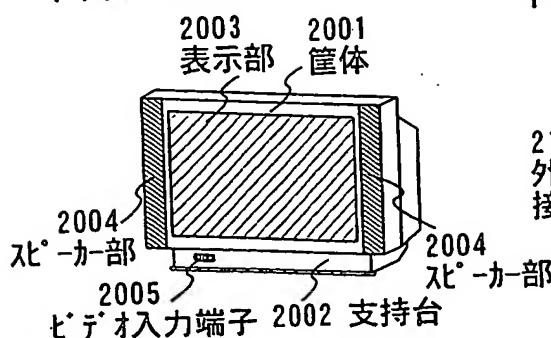


FIG. 22B

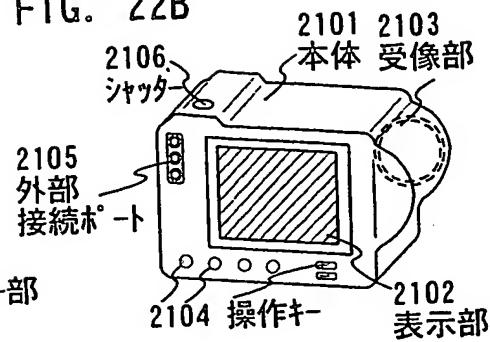


FIG. 22C

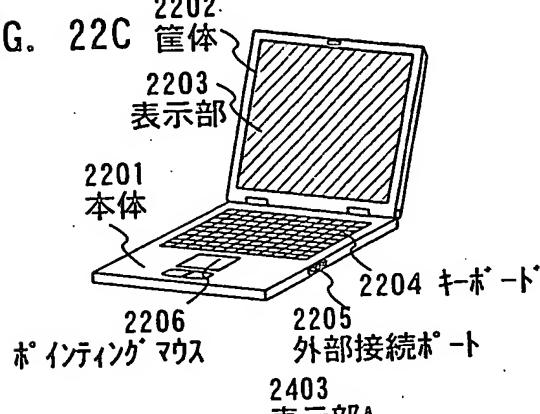


FIG. 22E

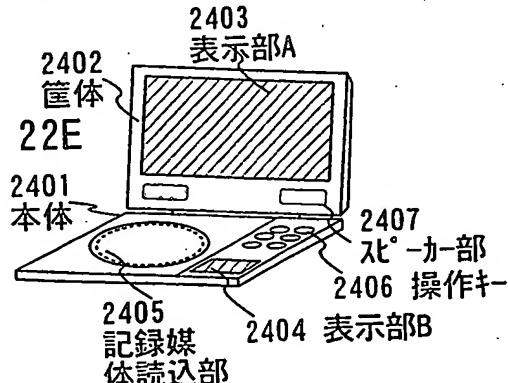


FIG. 22G

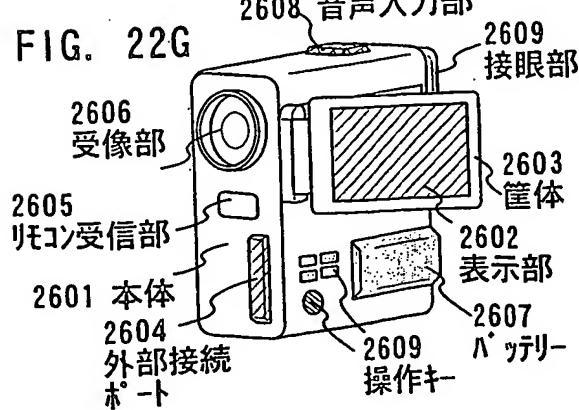


FIG. 22D

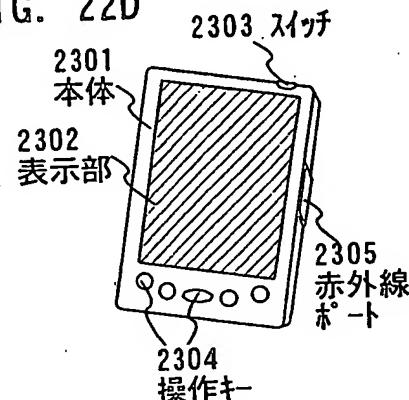


FIG. 22F

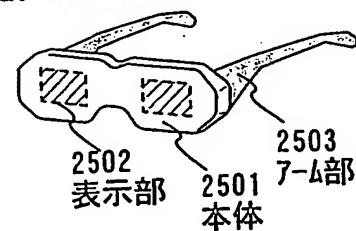
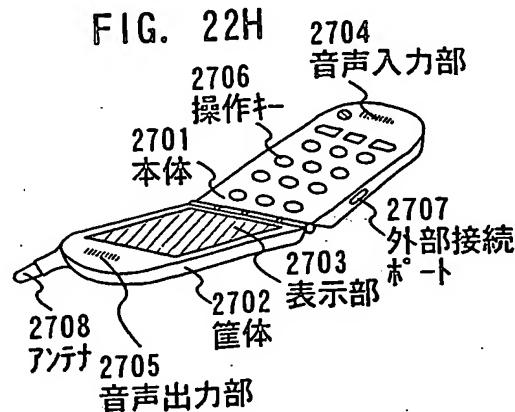


FIG. 22H



22/82

FIG. 23A

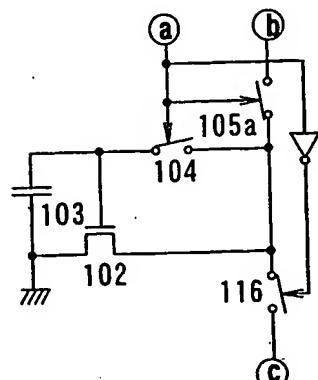


FIG. 23B

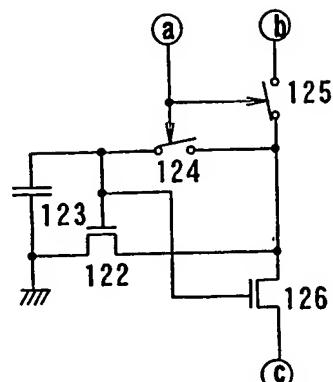


FIG. 23C

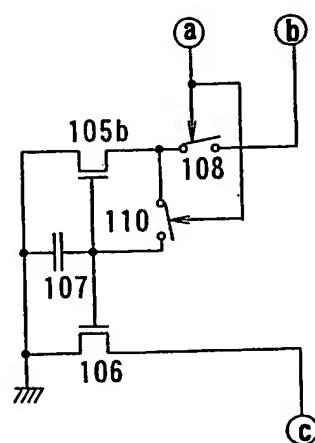


FIG. 23D

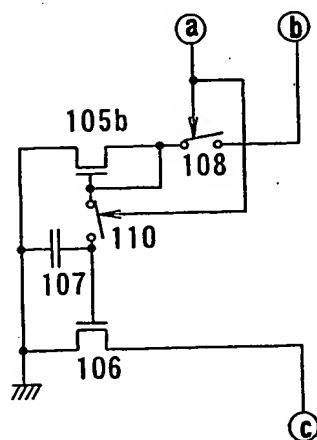
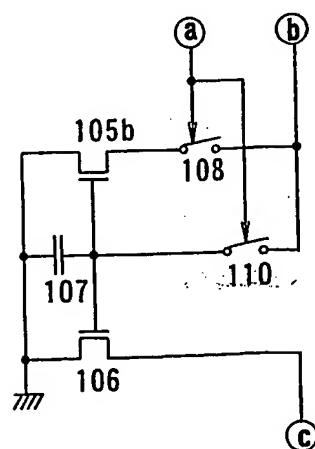


FIG. 23E



23/82

FIG. 24A

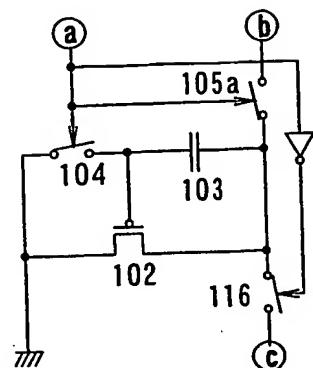


FIG. 24B

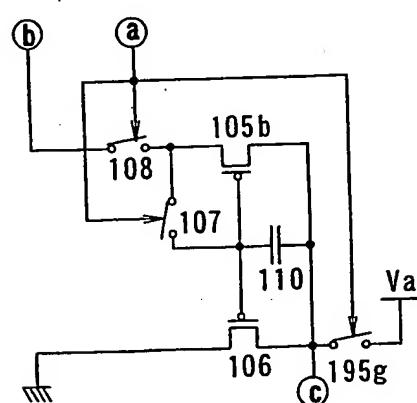


FIG. 24C

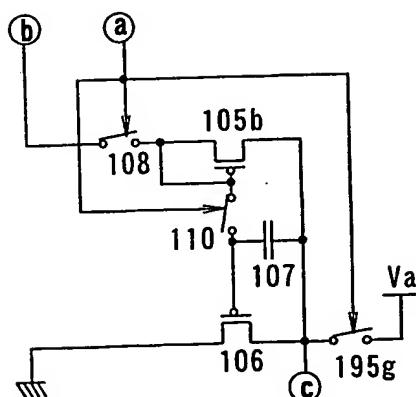
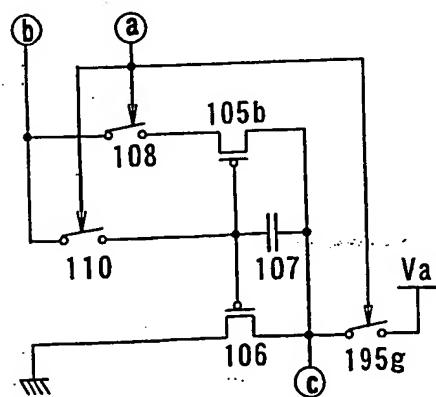


FIG. 24D



24/82

FIG. 25A

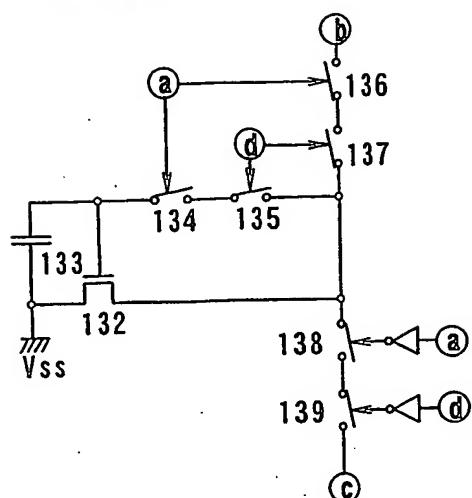


FIG. 25B

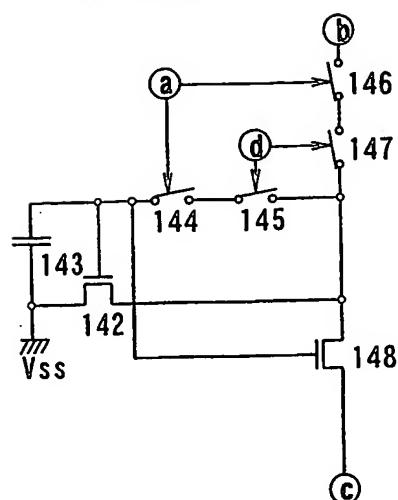
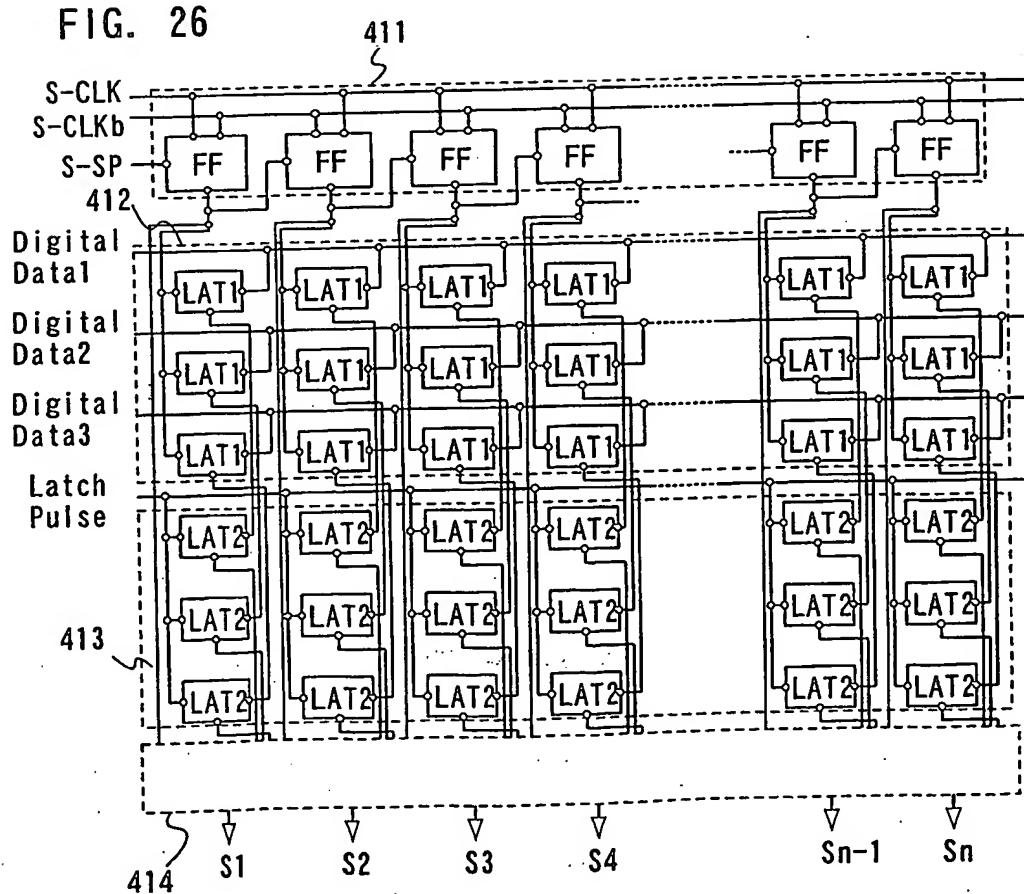
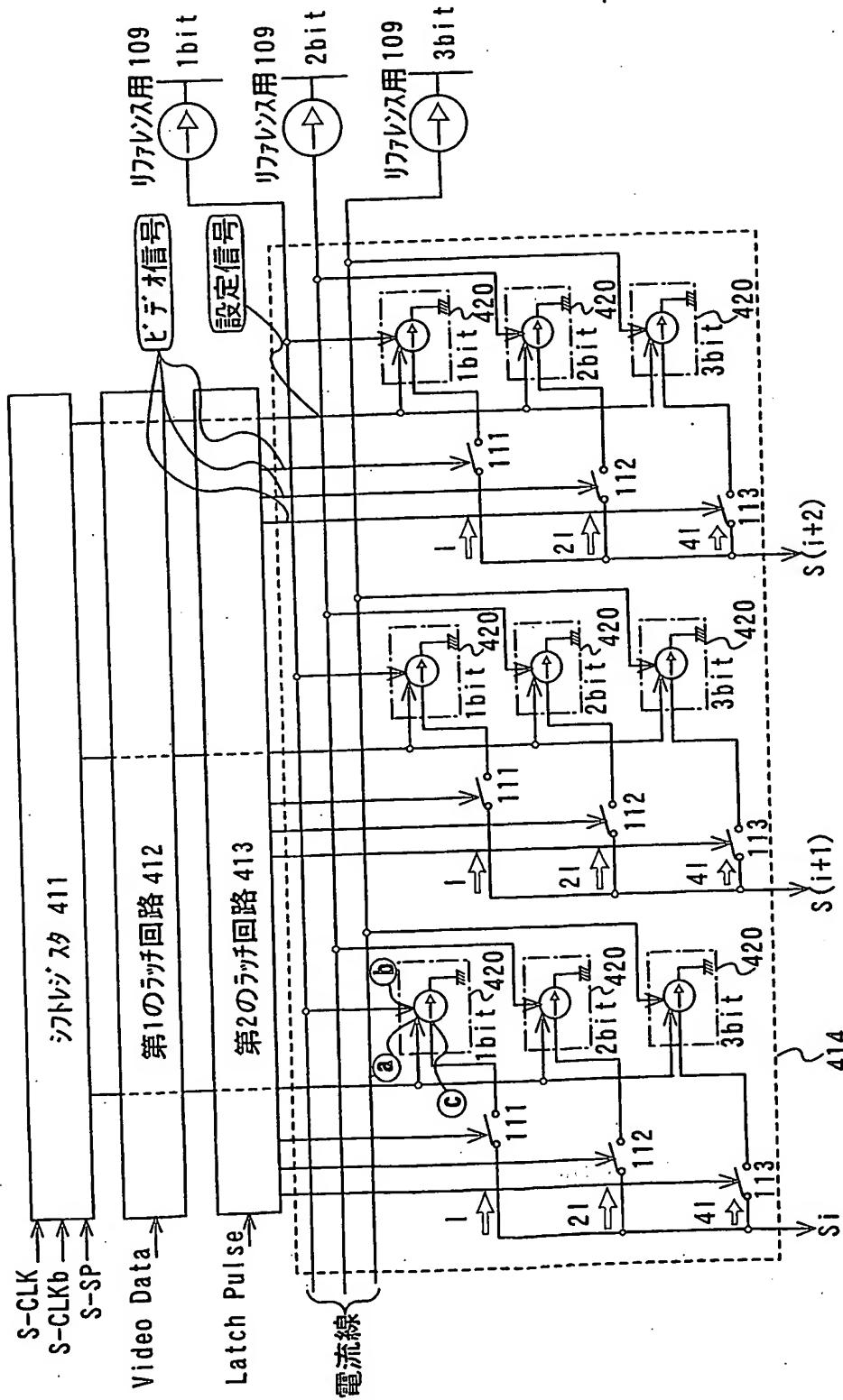


FIG. 26



25/82



26/82

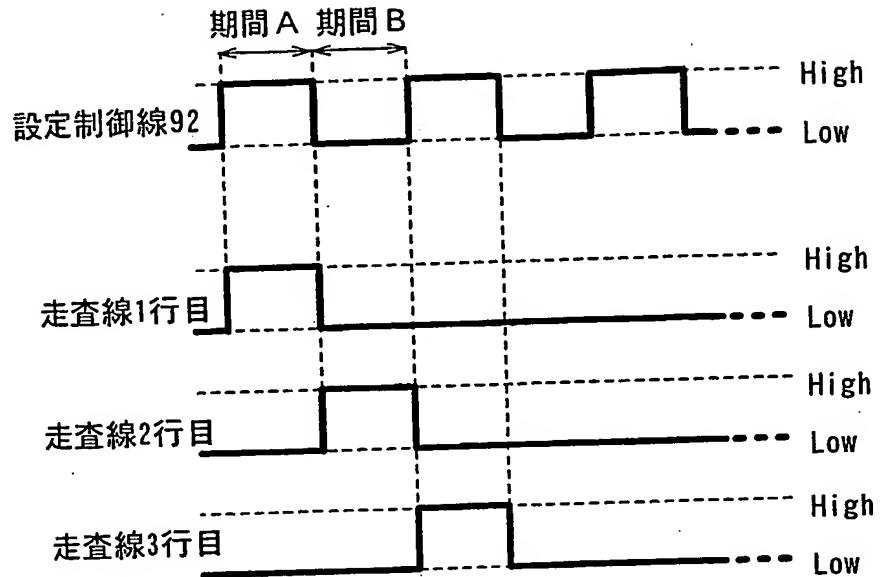


FIG. 28

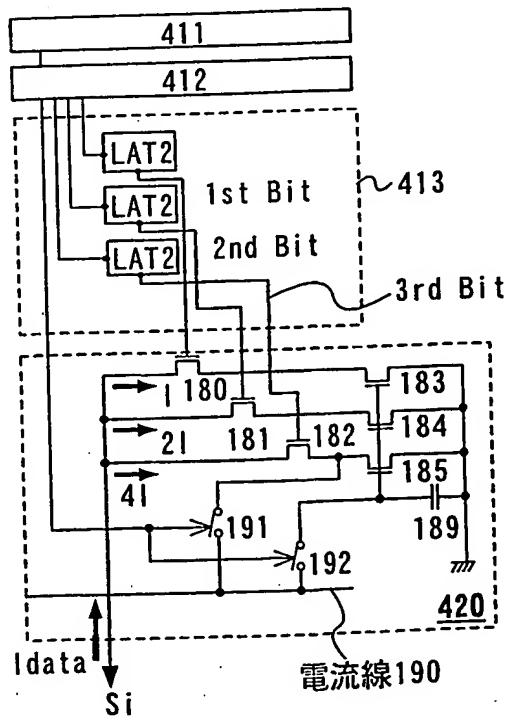


FIG. 29

27/82

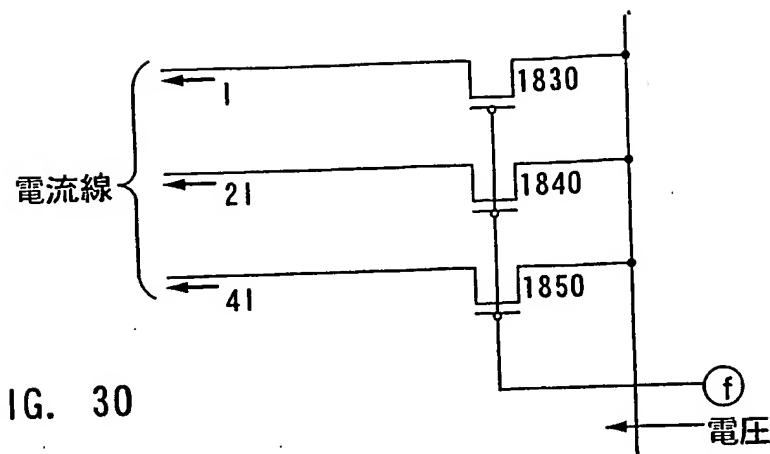


FIG. 31A

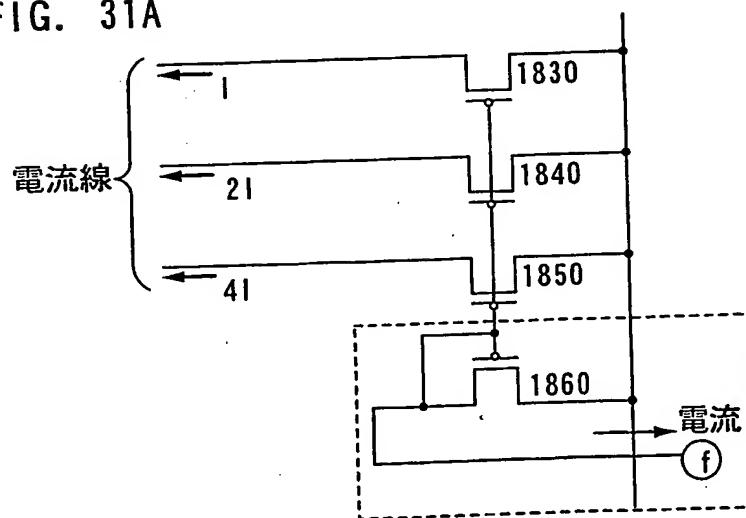
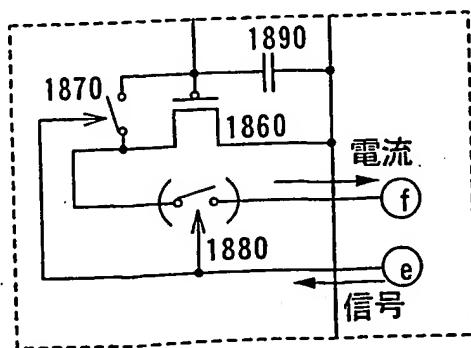


FIG. 31B



差替え用紙(規則26)

28/32

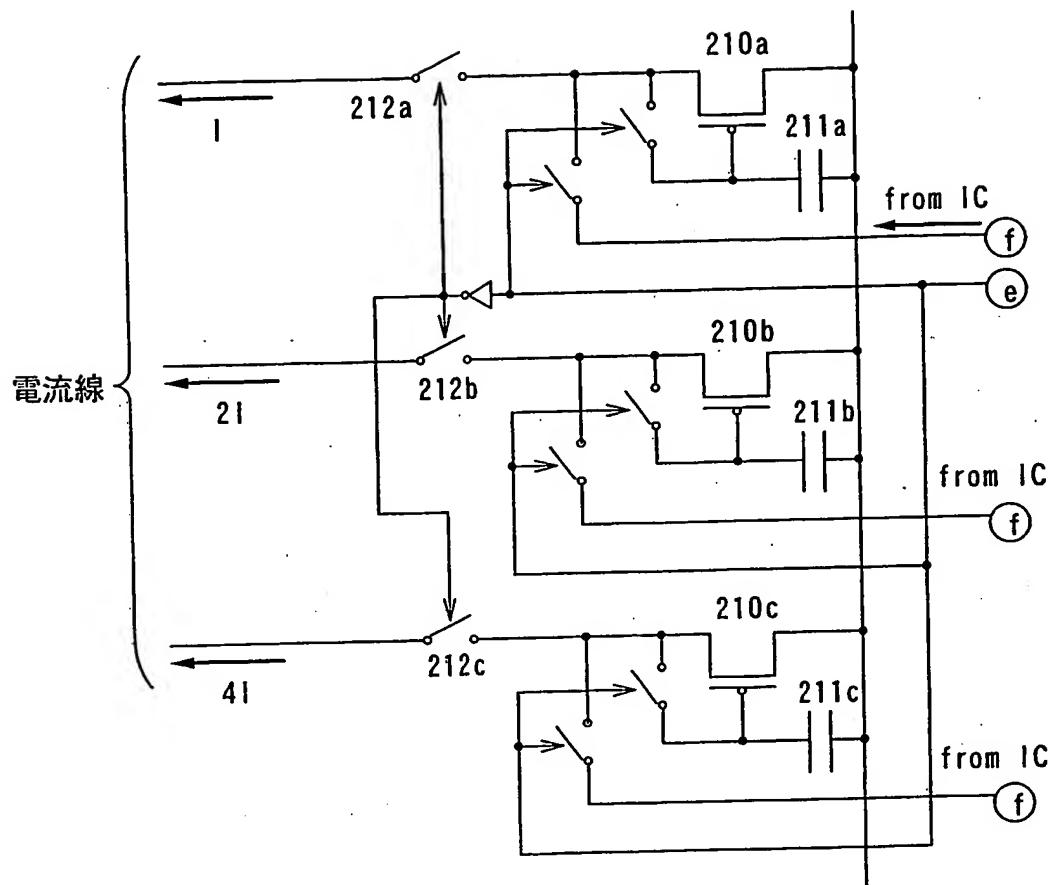
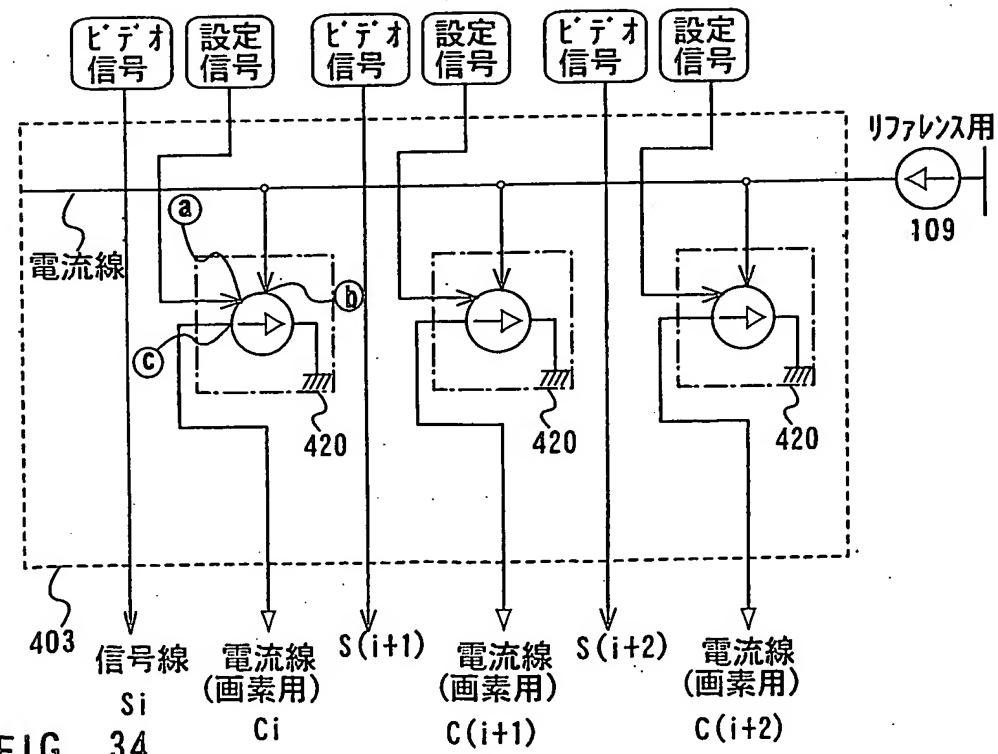
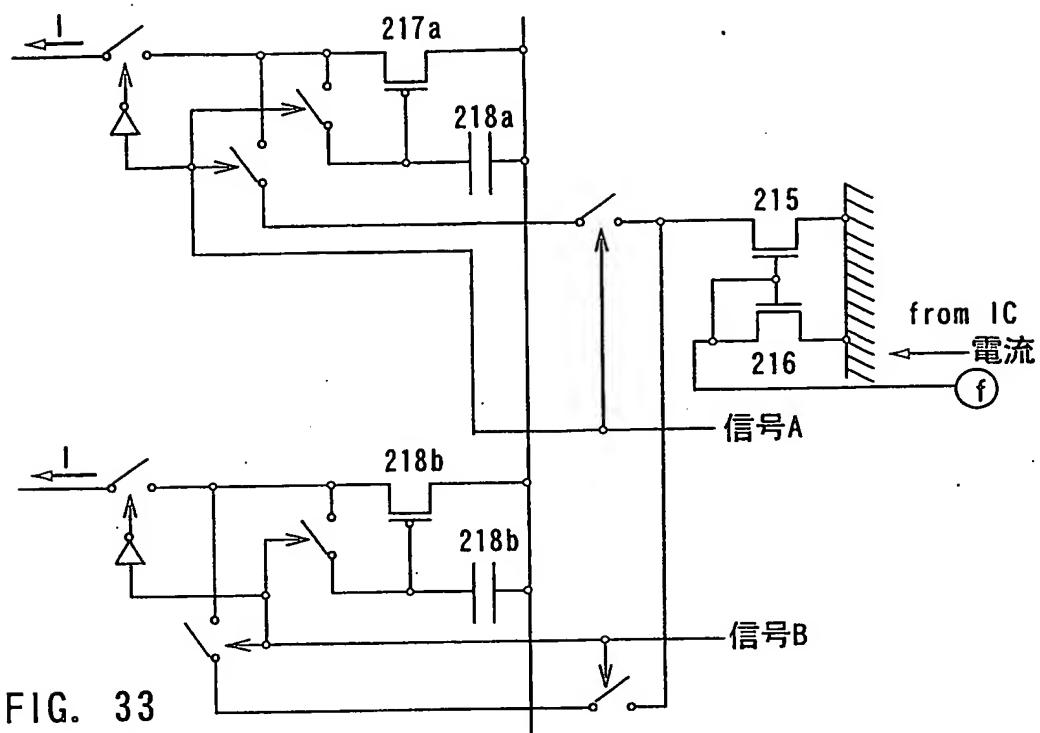


FIG. 32

29/82



差替え用紙(規則26)

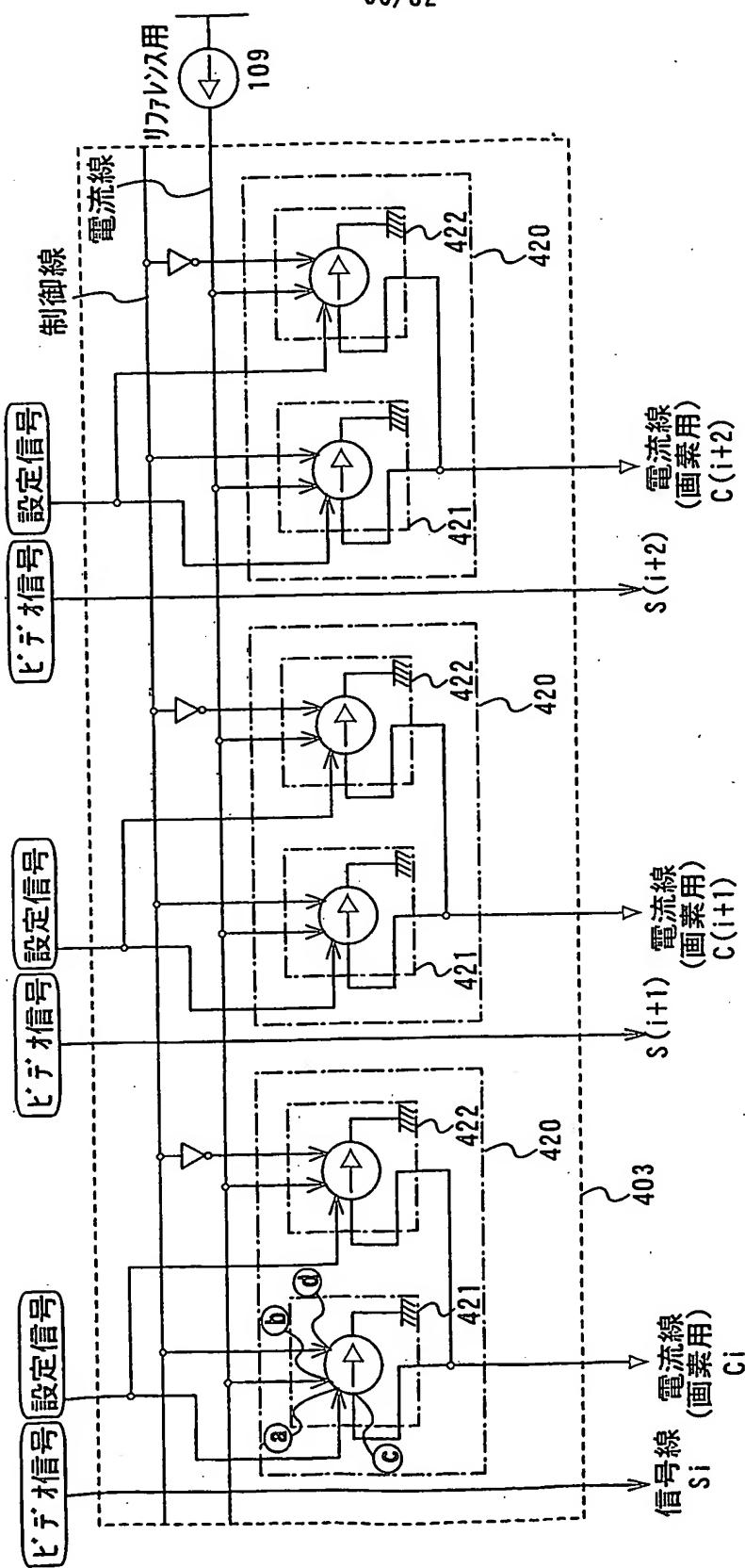
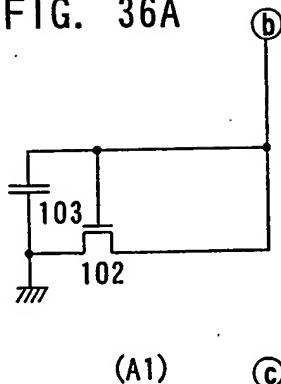


FIG. 35

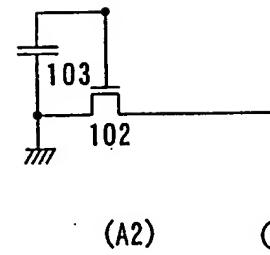
添付用紙(規則26)

31/82

FIG. 36A

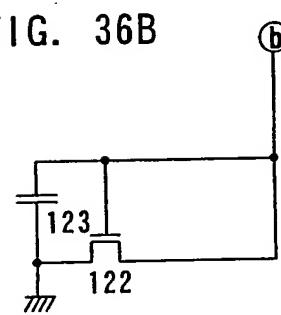


(A1)

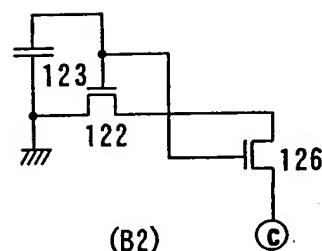
b
cb
c

(A2)

FIG. 36B



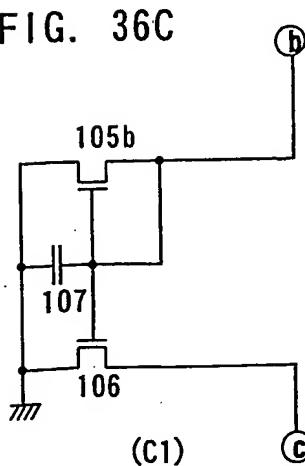
(B1)

b
c

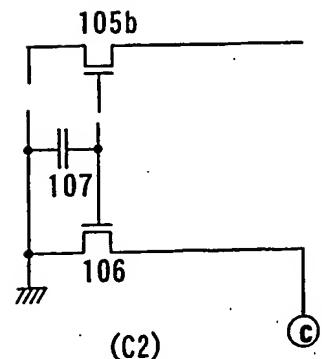
(B2)

b
c

FIG. 36C



(C1)

b
c

(C2)

b
c

32/82

FIG. 37A

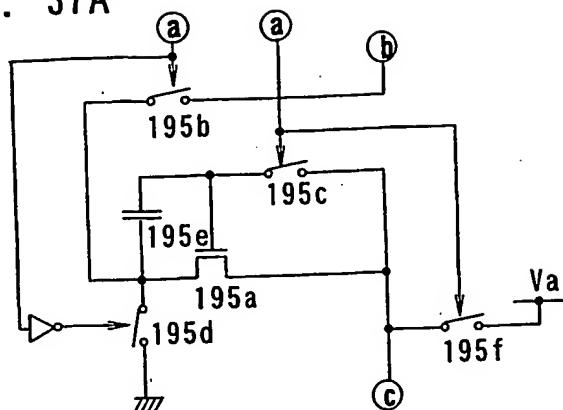


FIG. 37B

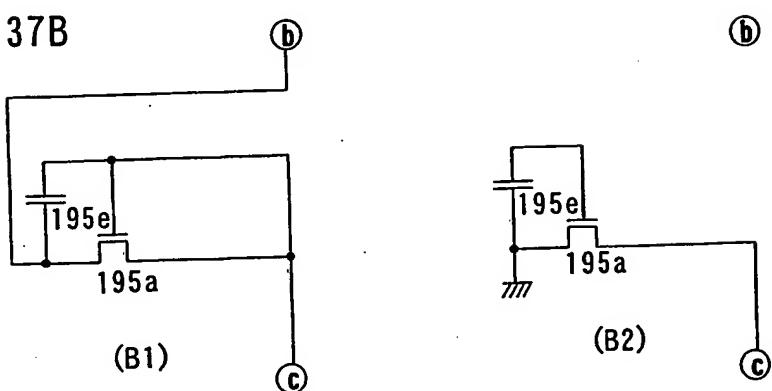
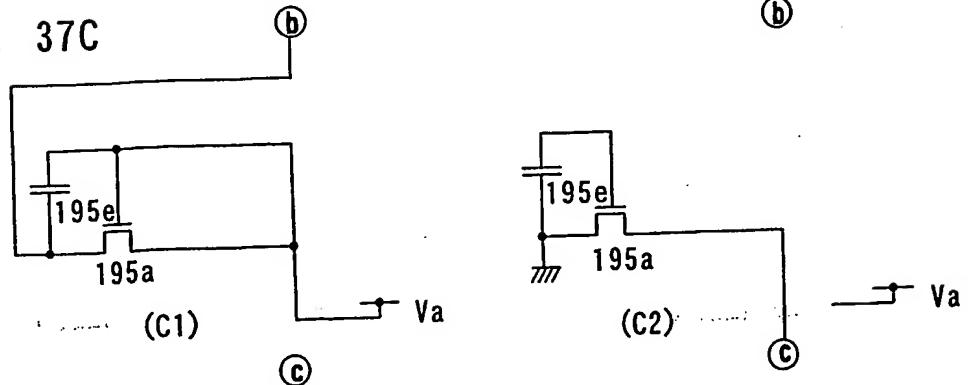


FIG. 37C



33/82

FIG. 38A

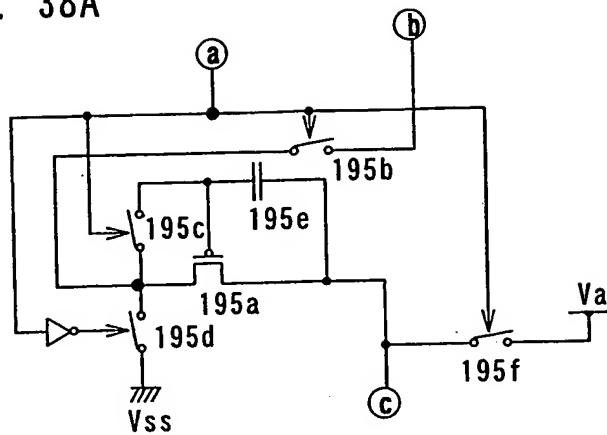
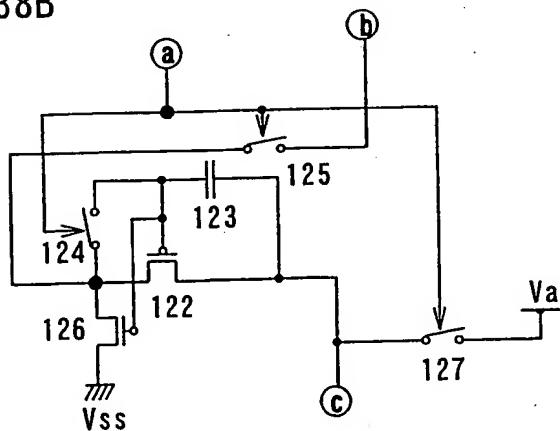


FIG. 38B



差替え用紙(規則26)

34/82

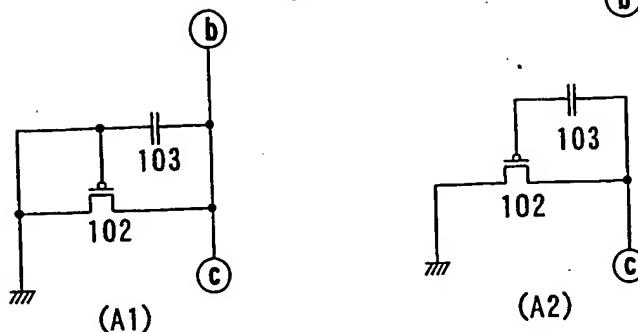


FIG. 39A

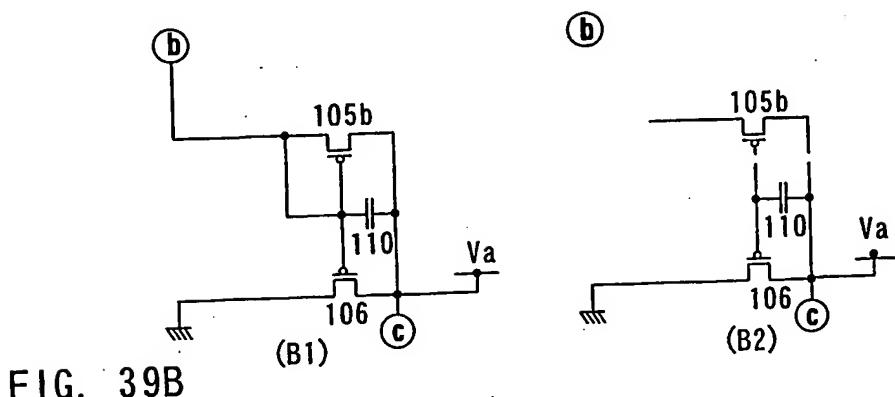


FIG. 39B

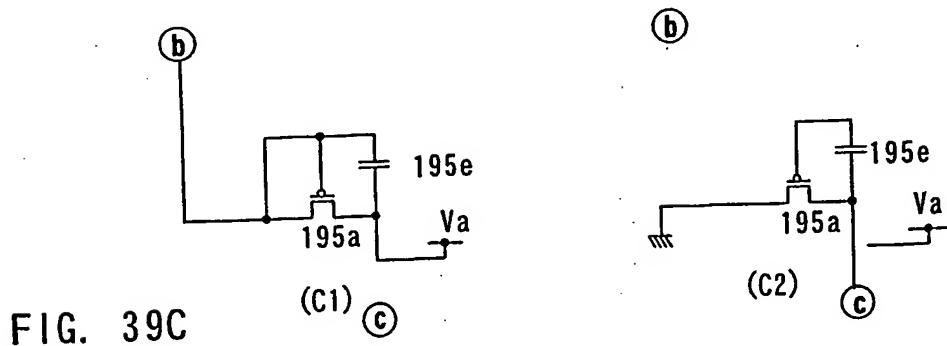


FIG. 39C

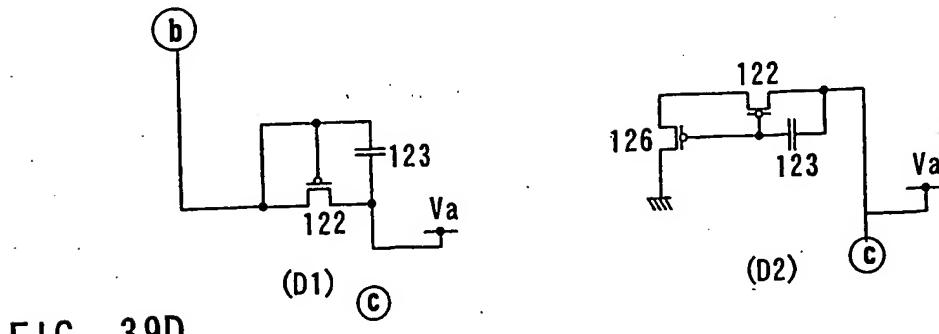


FIG. 39D

35/82

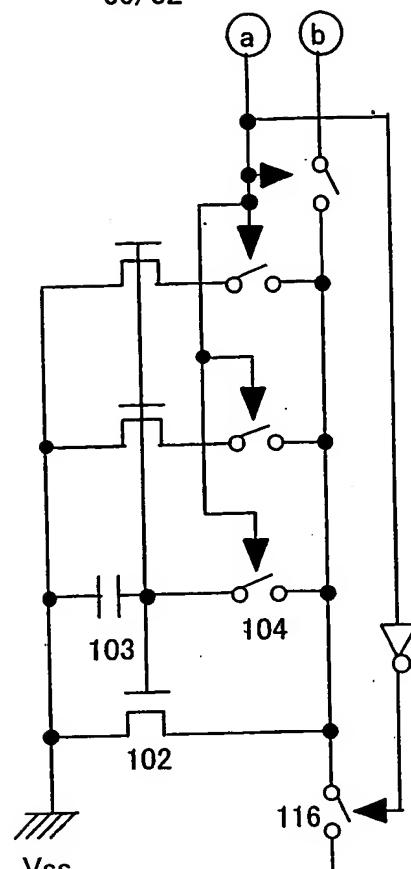


FIG. 40A

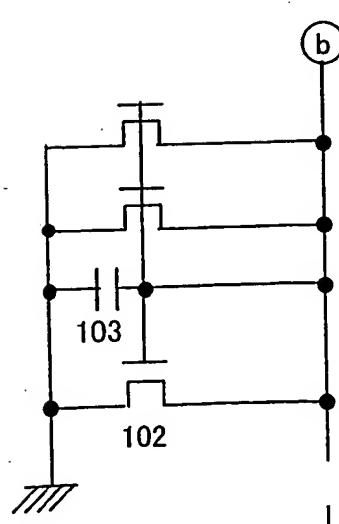


FIG. 40 B

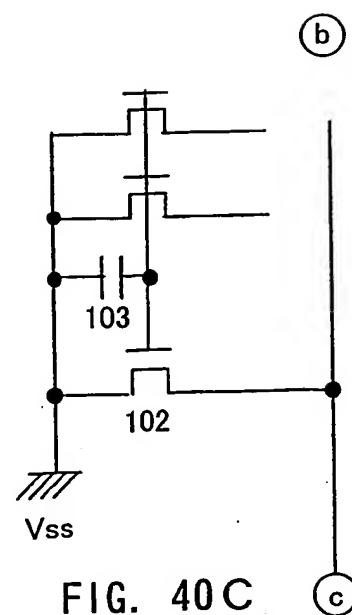


FIG. 40 C

36/82

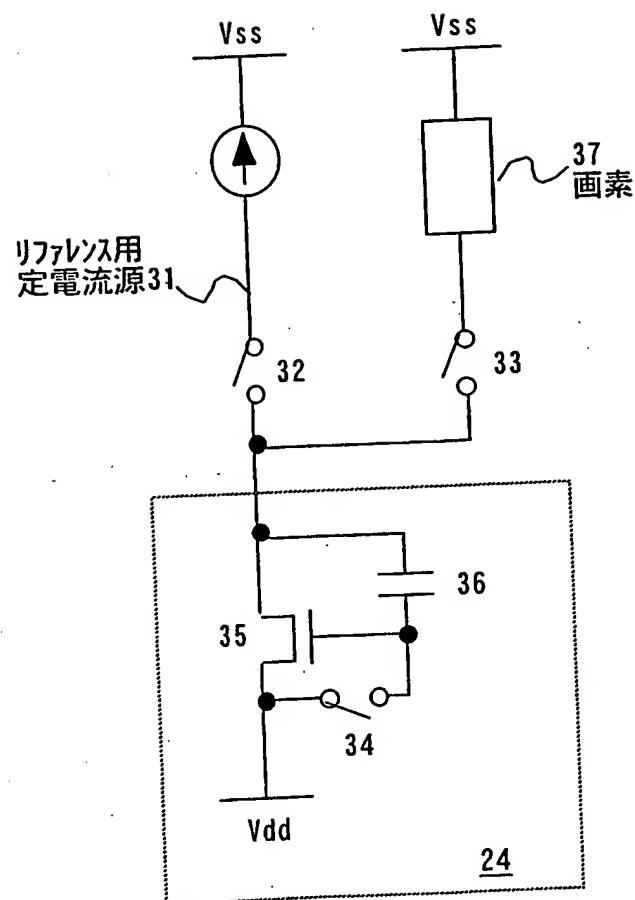


FIG. 41

差替え用紙(規則26)

37/82

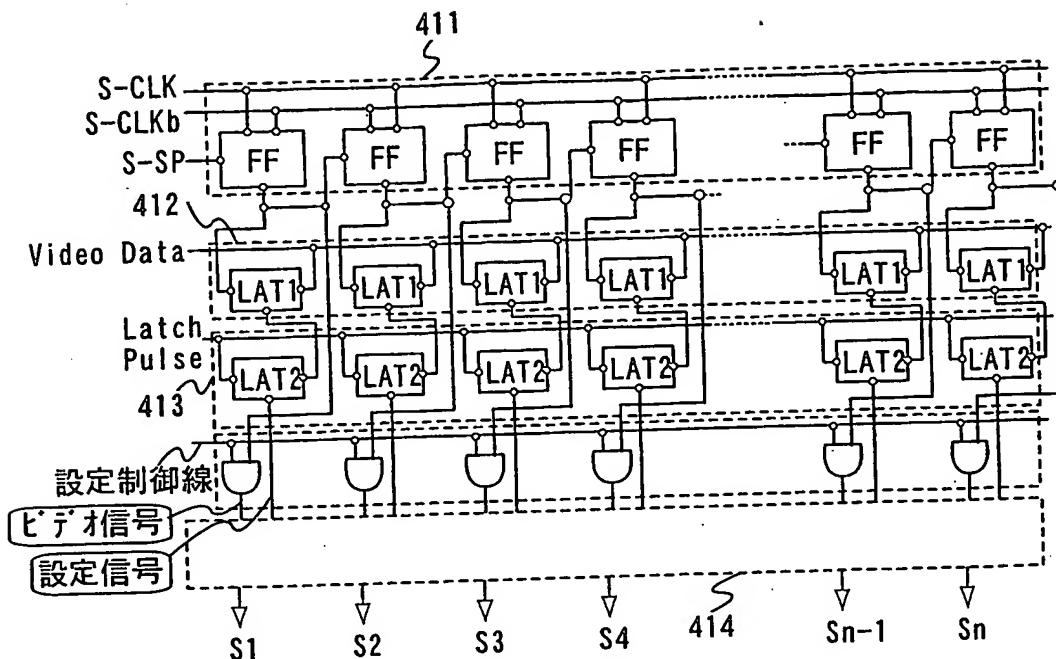


FIG. 42A

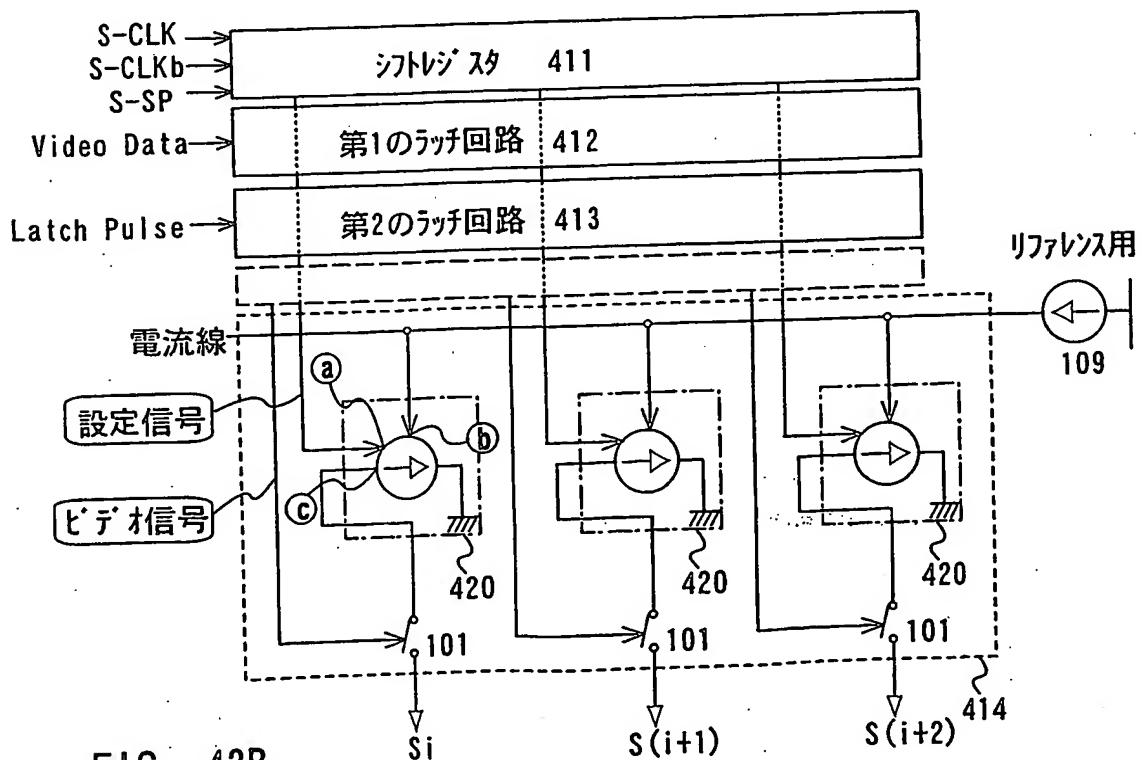
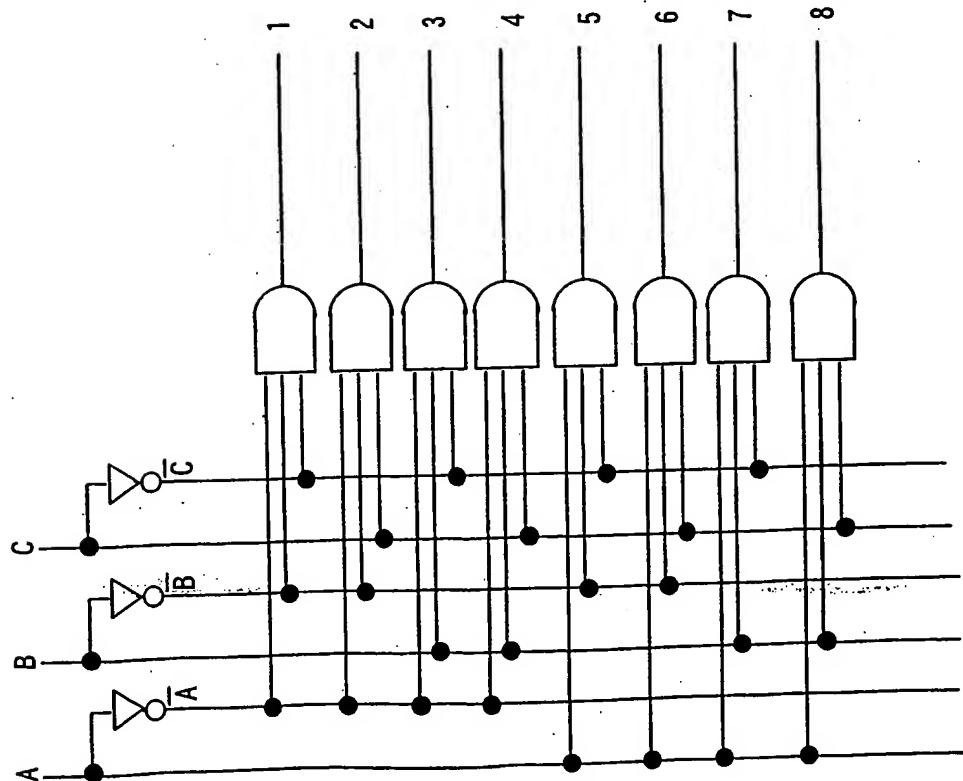


FIG. 42B

差替え用紙(規則26)

	A	B	C	1行目	2行目	3行目	4行目	5行目	6行目	7行目	8行目
5	0	0	0	0	0	0	0	0	0	0	0
6	0	0	1	0	1	0	0	0	0	0	0
7	0	1	0	0	0	1	0	0	1	0	0
8	1	0	0	0	0	0	0	1	0	0	0
1	1	0	0	0	0	0	0	0	0	1	0
2	1	1	0	0	0	0	0	0	0	0	0
3	1	1	1	0	0	0	0	0	0	0	0
4	1	1	1	1	0	0	0	0	0	0	0

FIG. 43



差替え用紙(規則26)

39/82

FIG. 44A

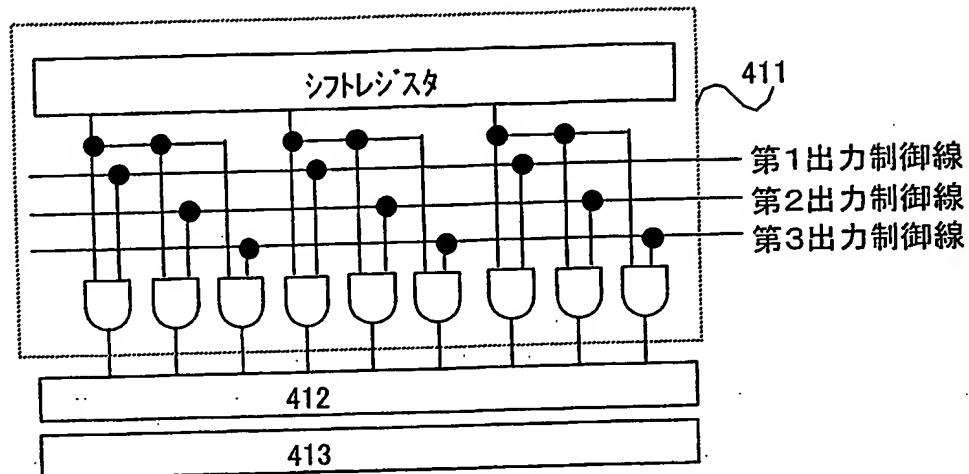
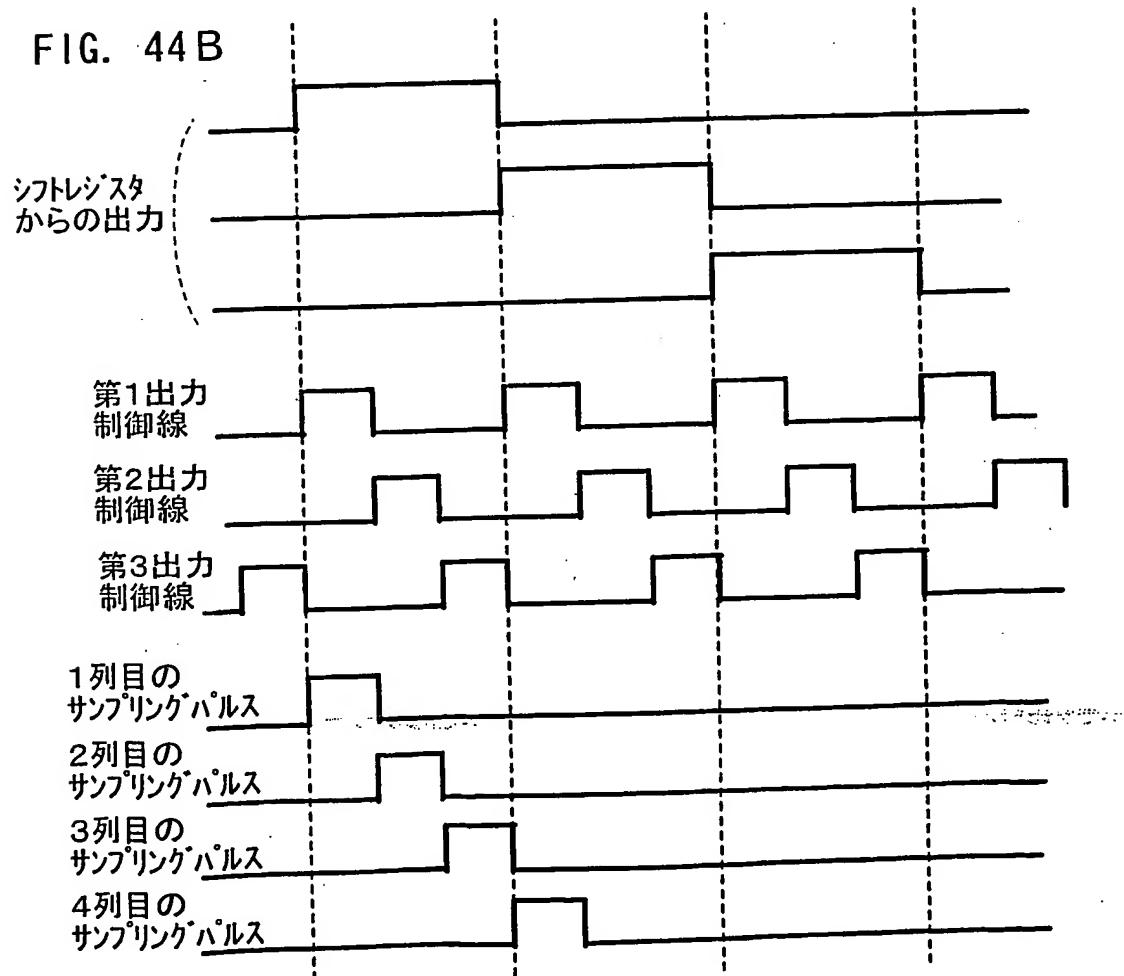


FIG. 44B



差替え用紙 (規則26)

40/82

FIG. 45A

シフトレジスタ
からの出力

第1出力制御線

第2出力制御線

第3出力制御線

1列目の
サンプリング・パルス

2列目の
サンプリング・パルス

3列目の
サンプリング・パルス

4列目の
サンプリング・パルス

FIG. 45B

シフトレジスタ
からの出力

第1出力制御線

第2出力制御線

第3出力制御線

1列目の
サンプリング・パルス

2列目の
サンプリング・パルス

3列目の
サンプリング・パルス

4列目の
サンプリング・パルス

5列目の
サンプリング・パルス

差替え用紙(規則26)

41/82

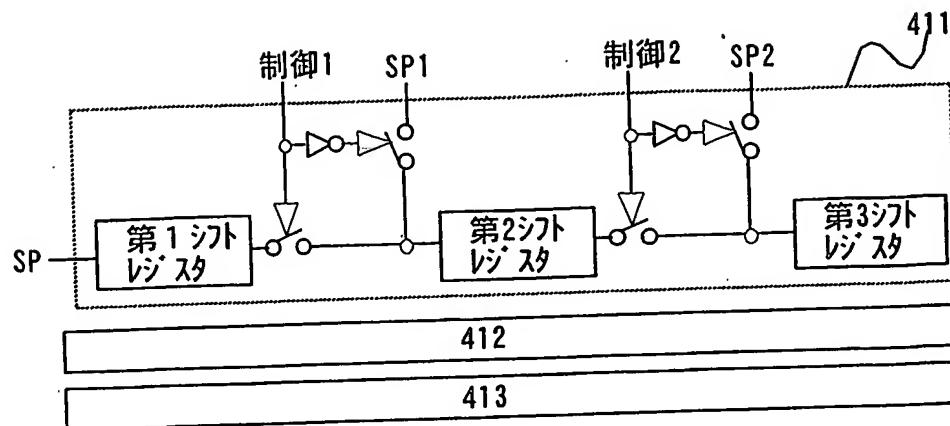


FIG. 46

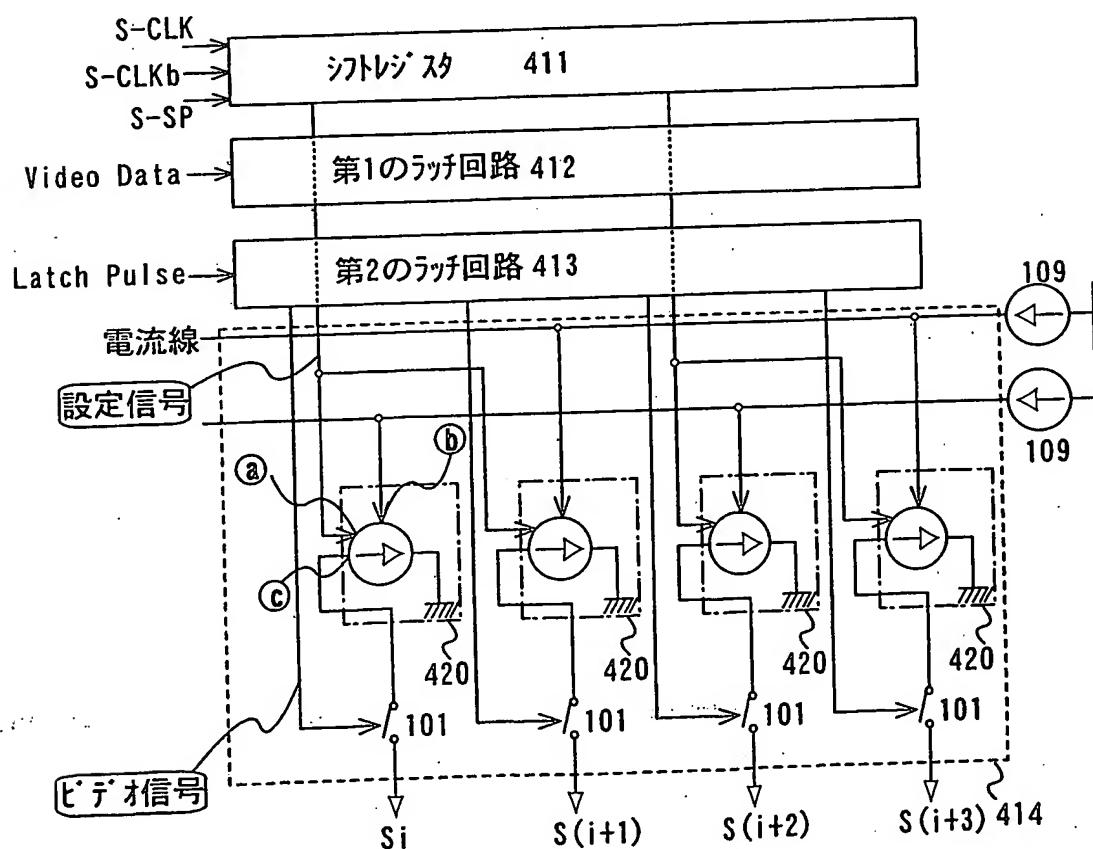
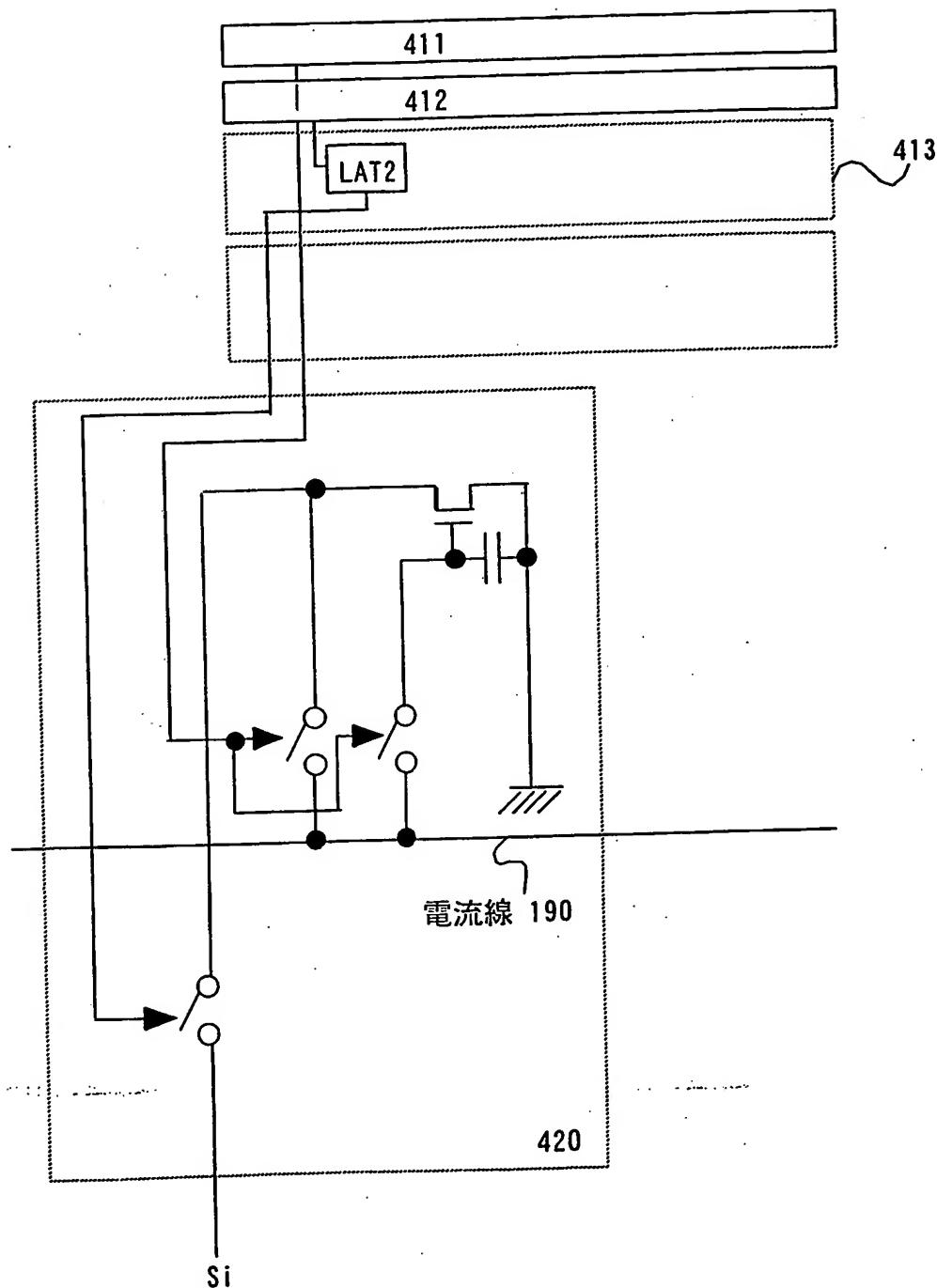


FIG. 47

差替え用紙(規則26)

42/82

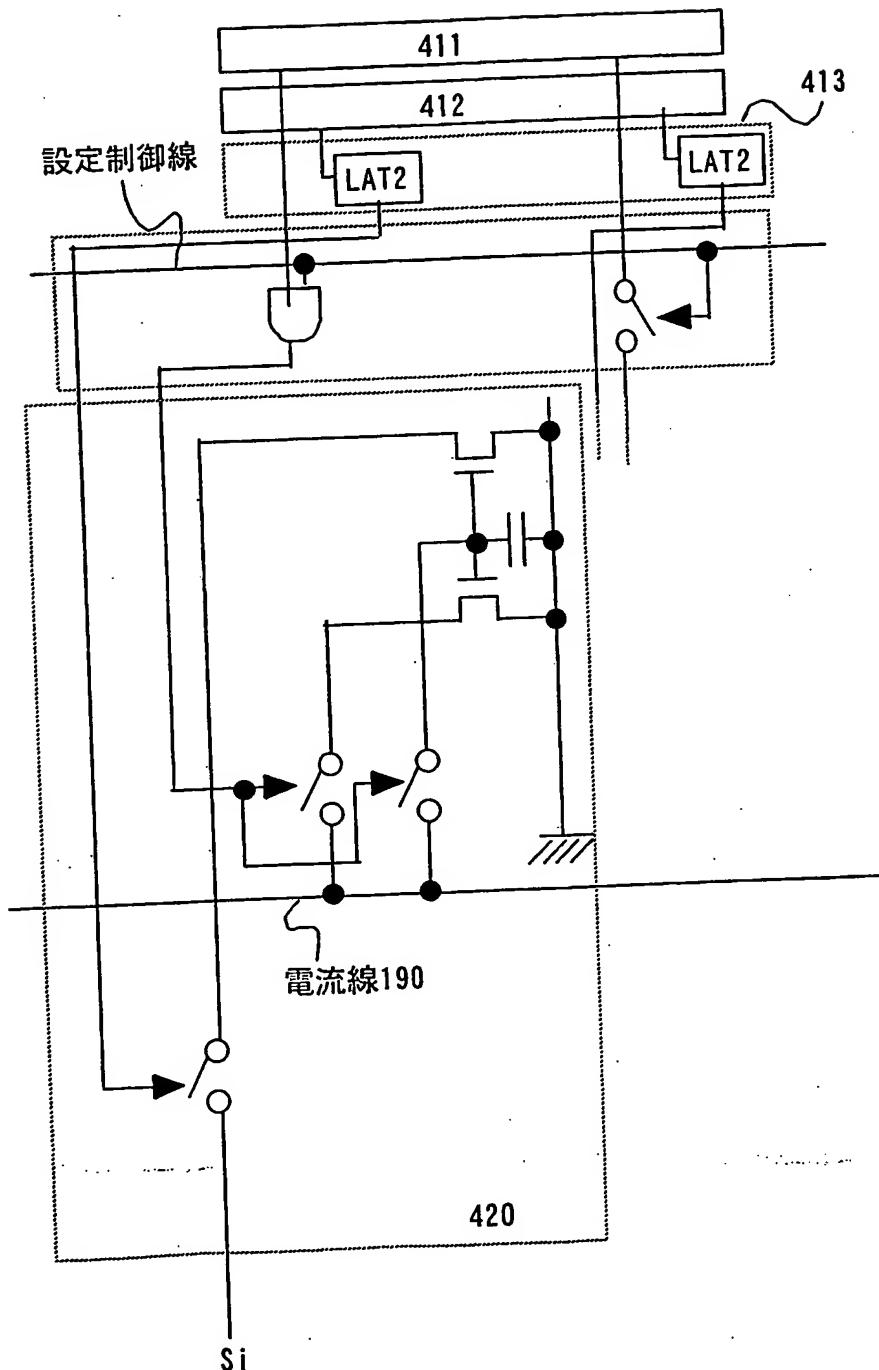
FIG. 48



差替え用紙(規則26)

43/82

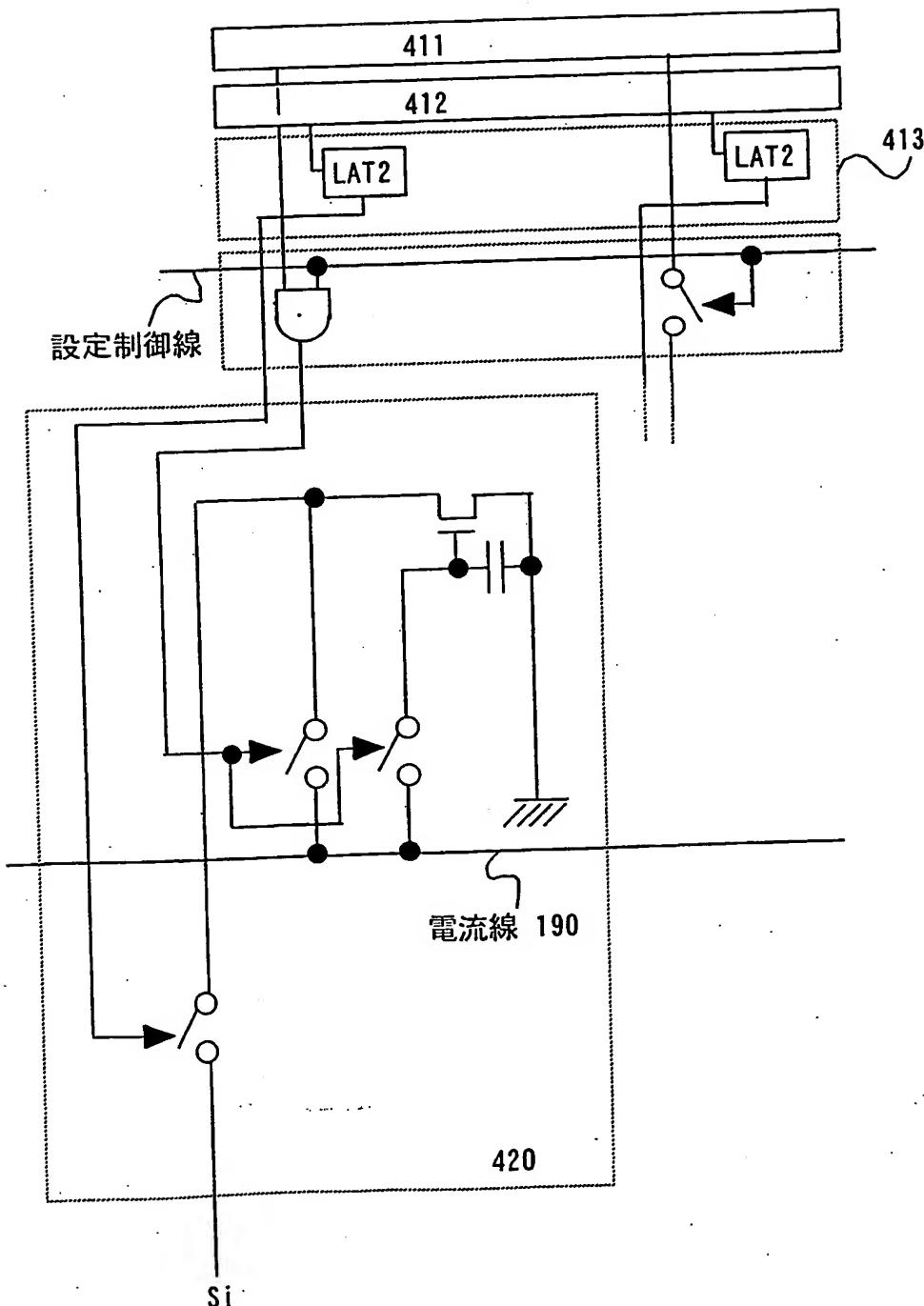
FIG. 49



差替え用紙 (規則26)

44/82

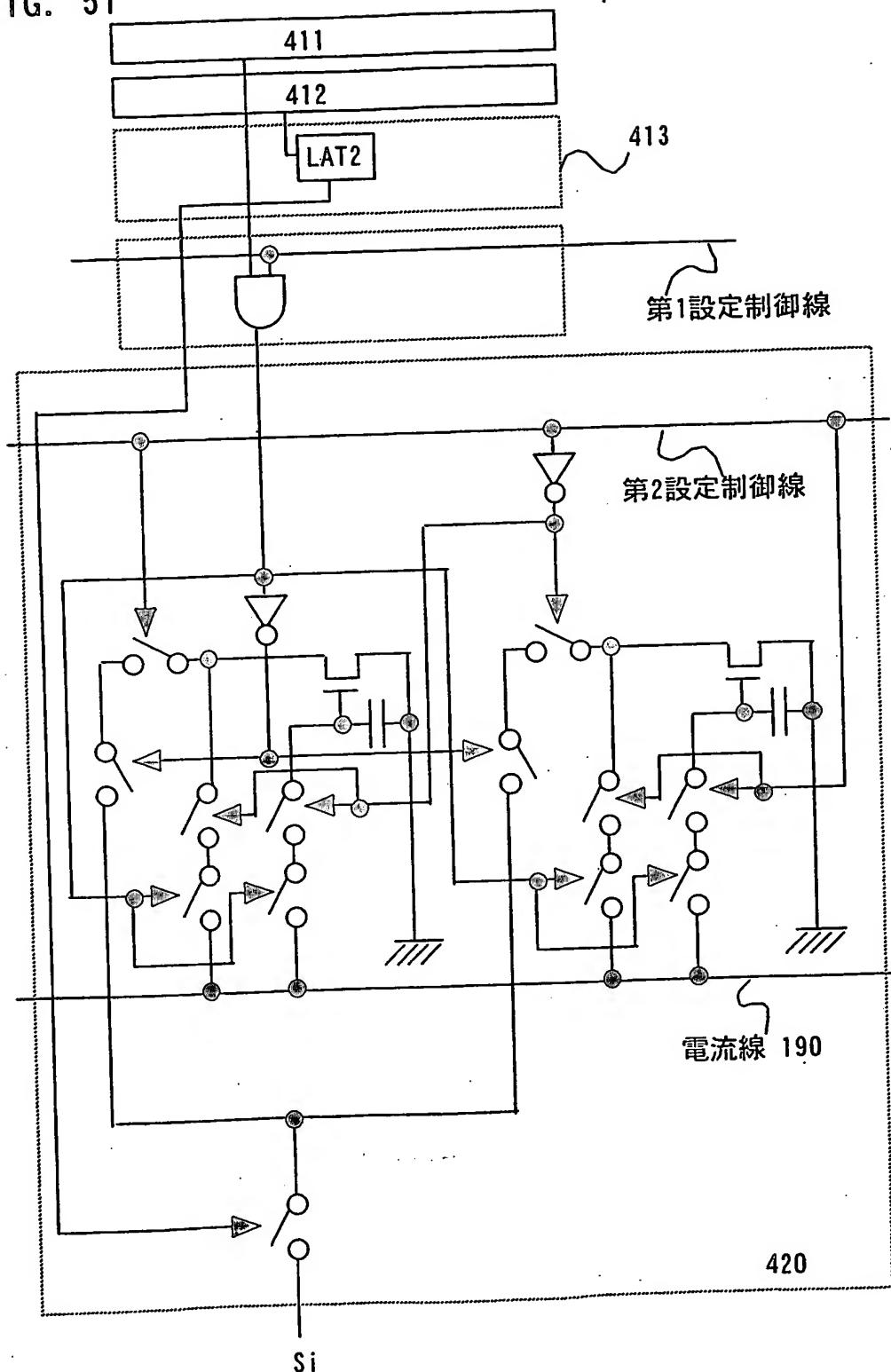
FIG. 50



差替え用紙(規則26)

45/82

FIG. 51



差替え用紙 (規則26)

46/82

FIG. 52A

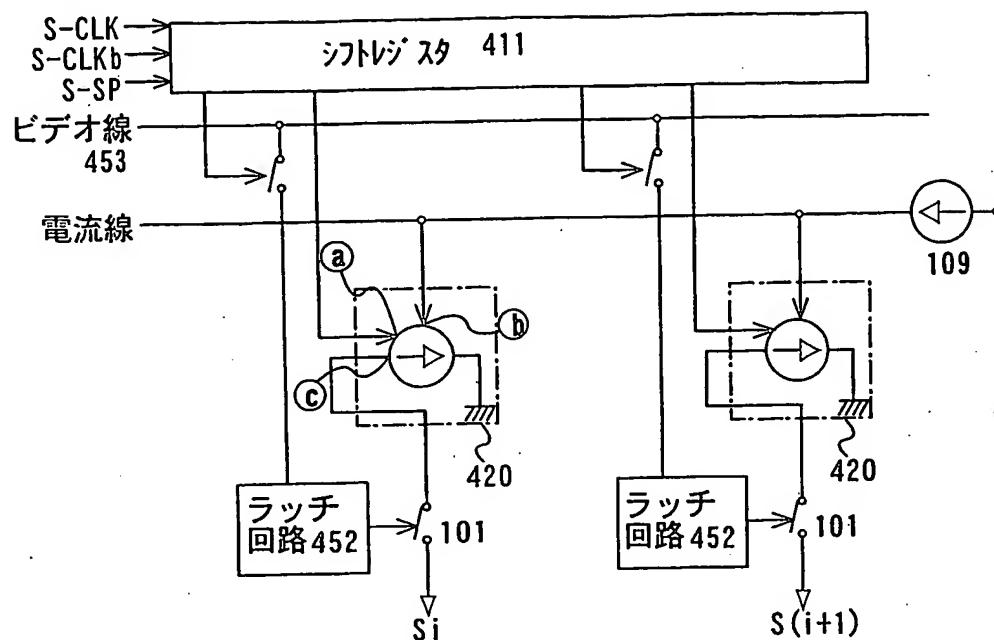


FIG. 52B

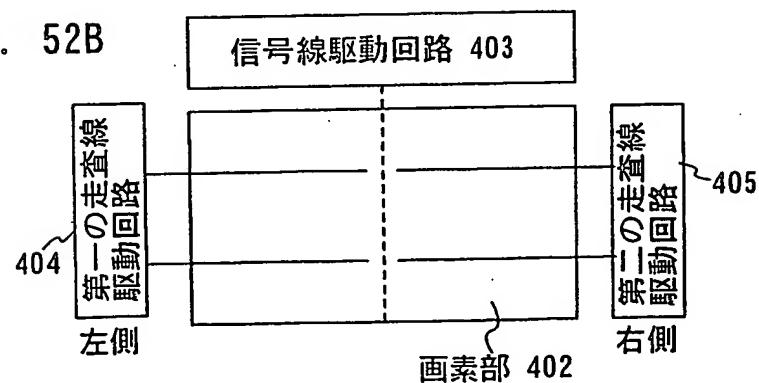
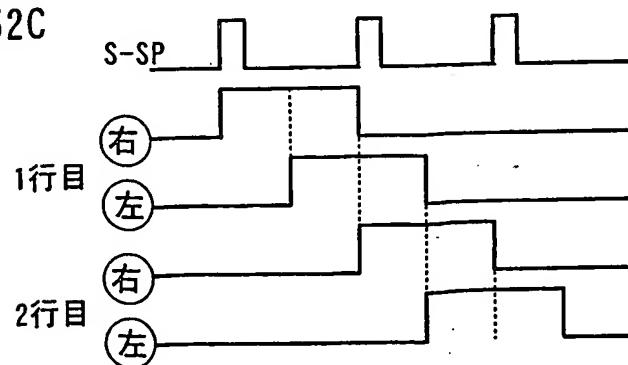


FIG. 52C



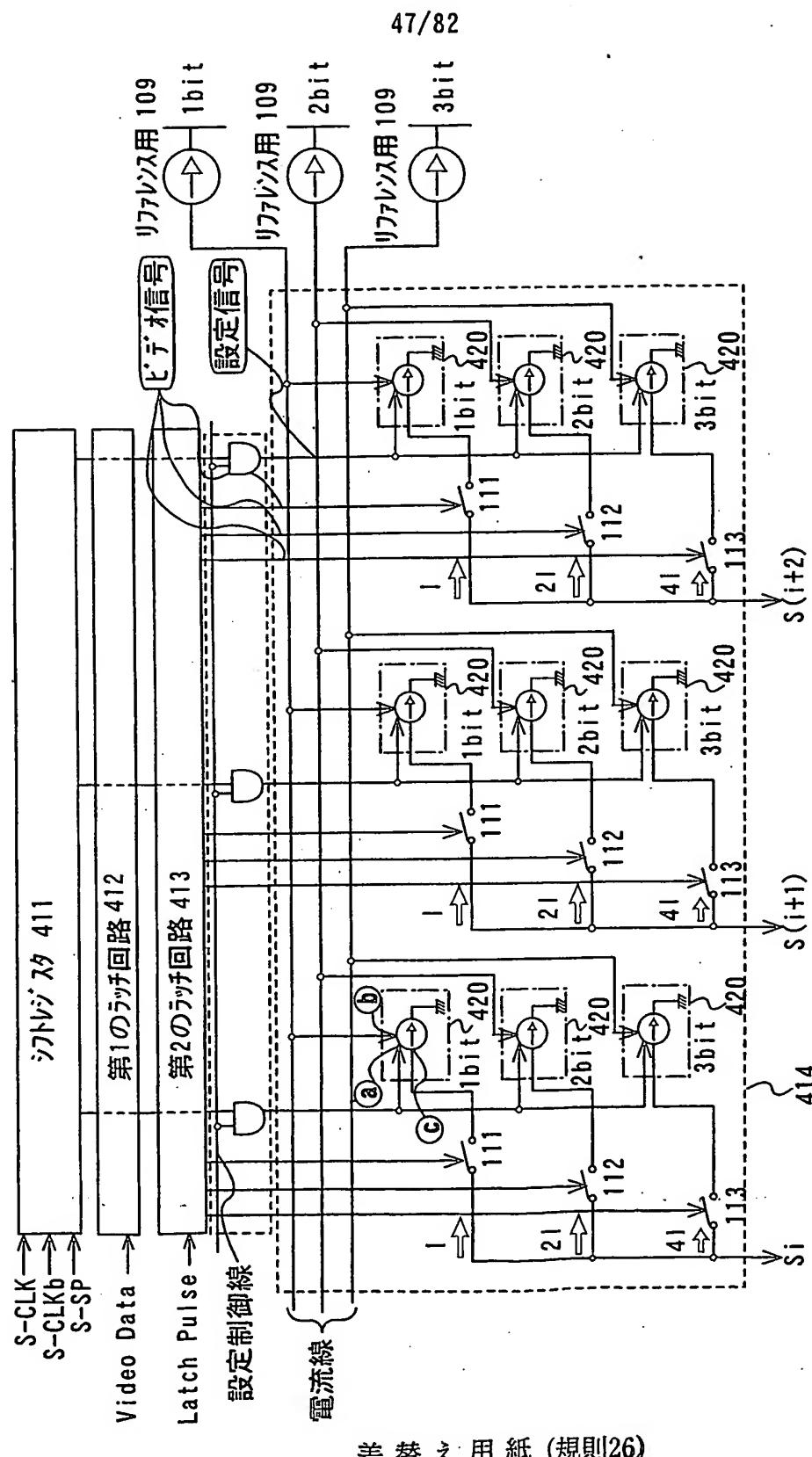


FIG. 53

差替え用紙 (規則26)

48/82

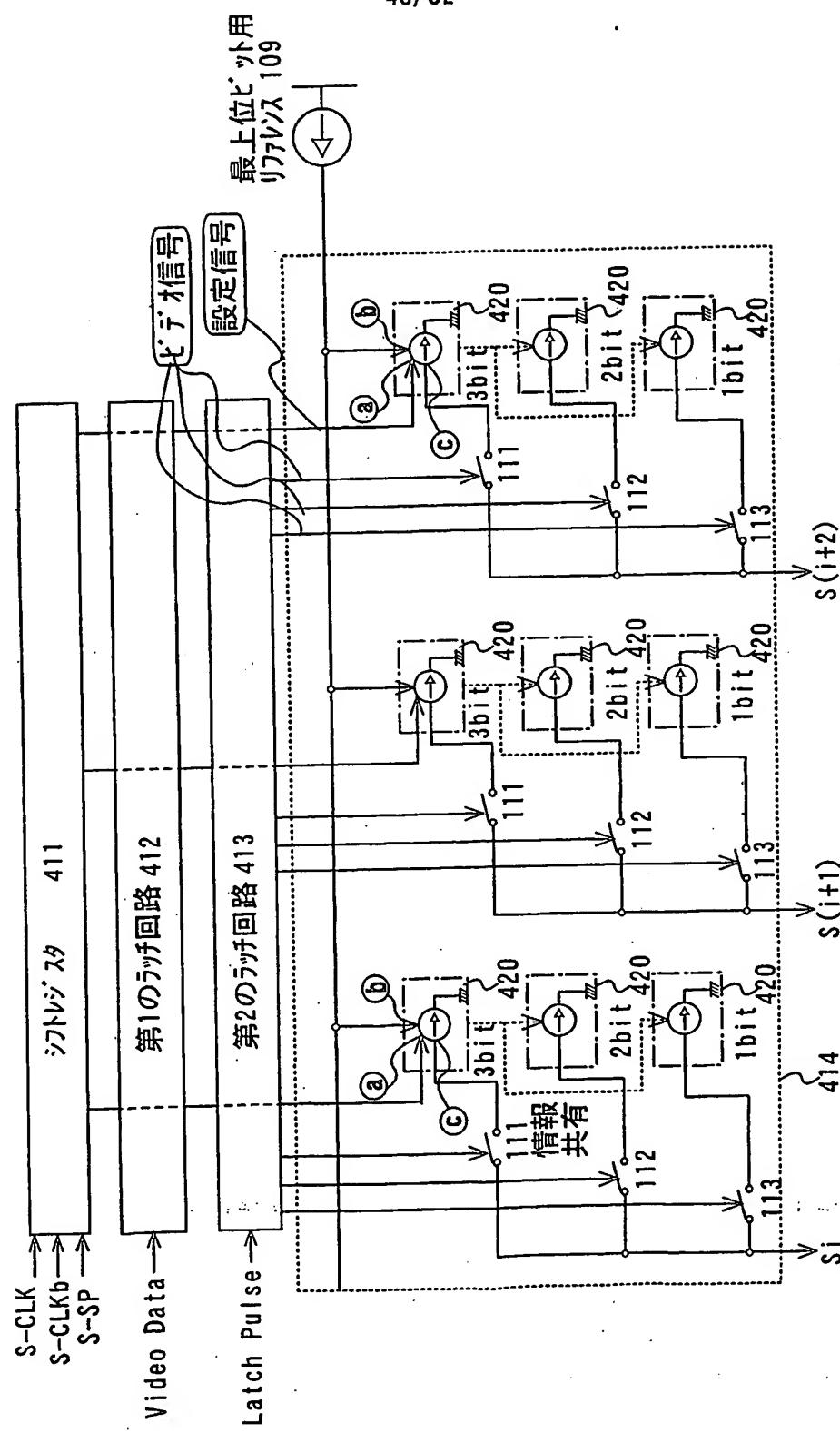


FIG. 54

49/82

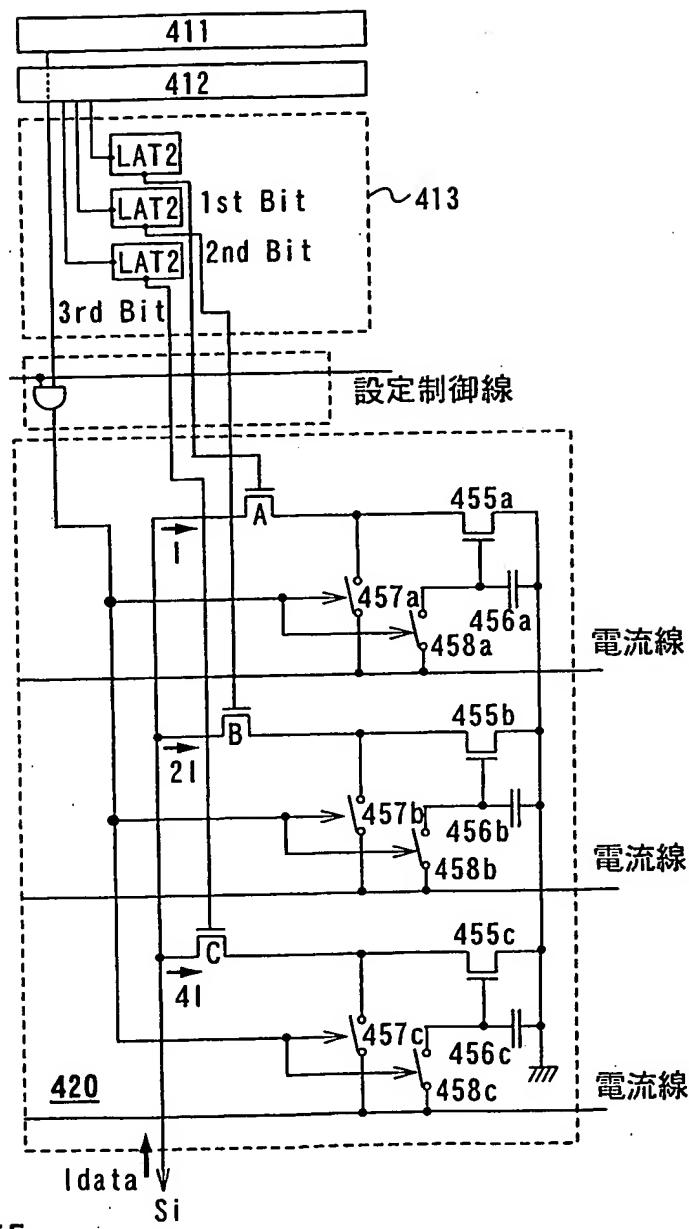


FIG. 55

50/82

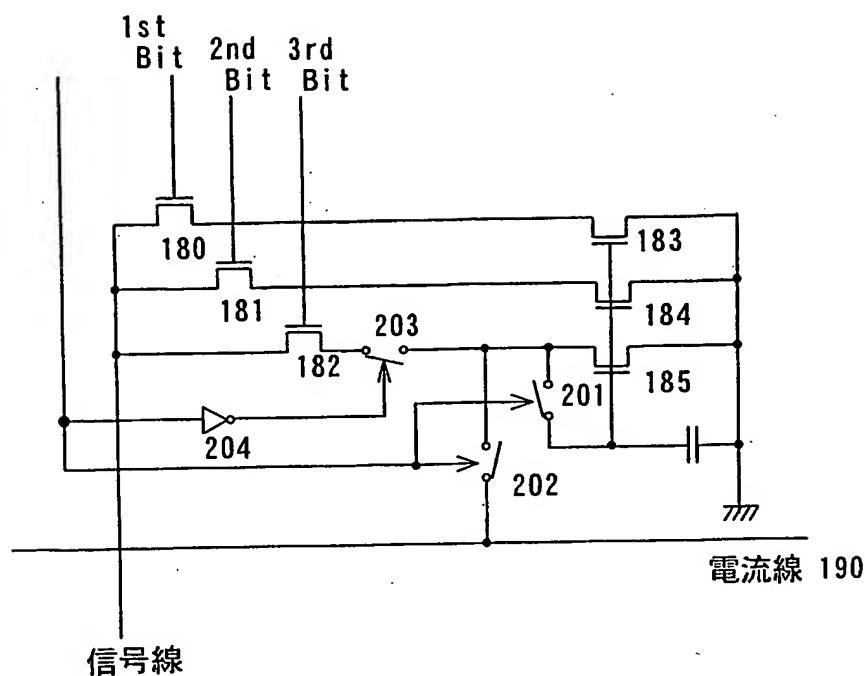


FIG. 56

差替え用紙(規則26)

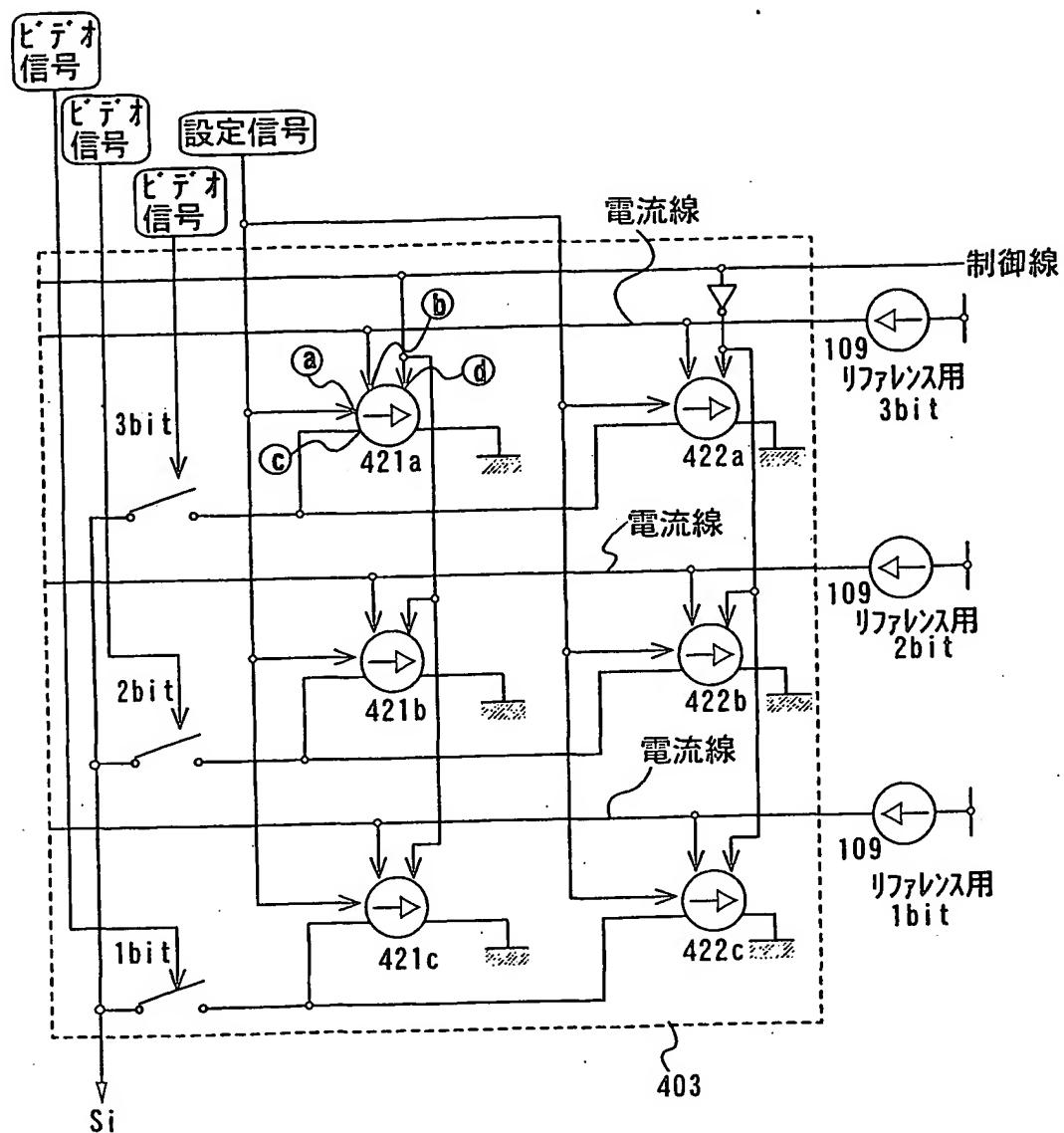


FIG. 57

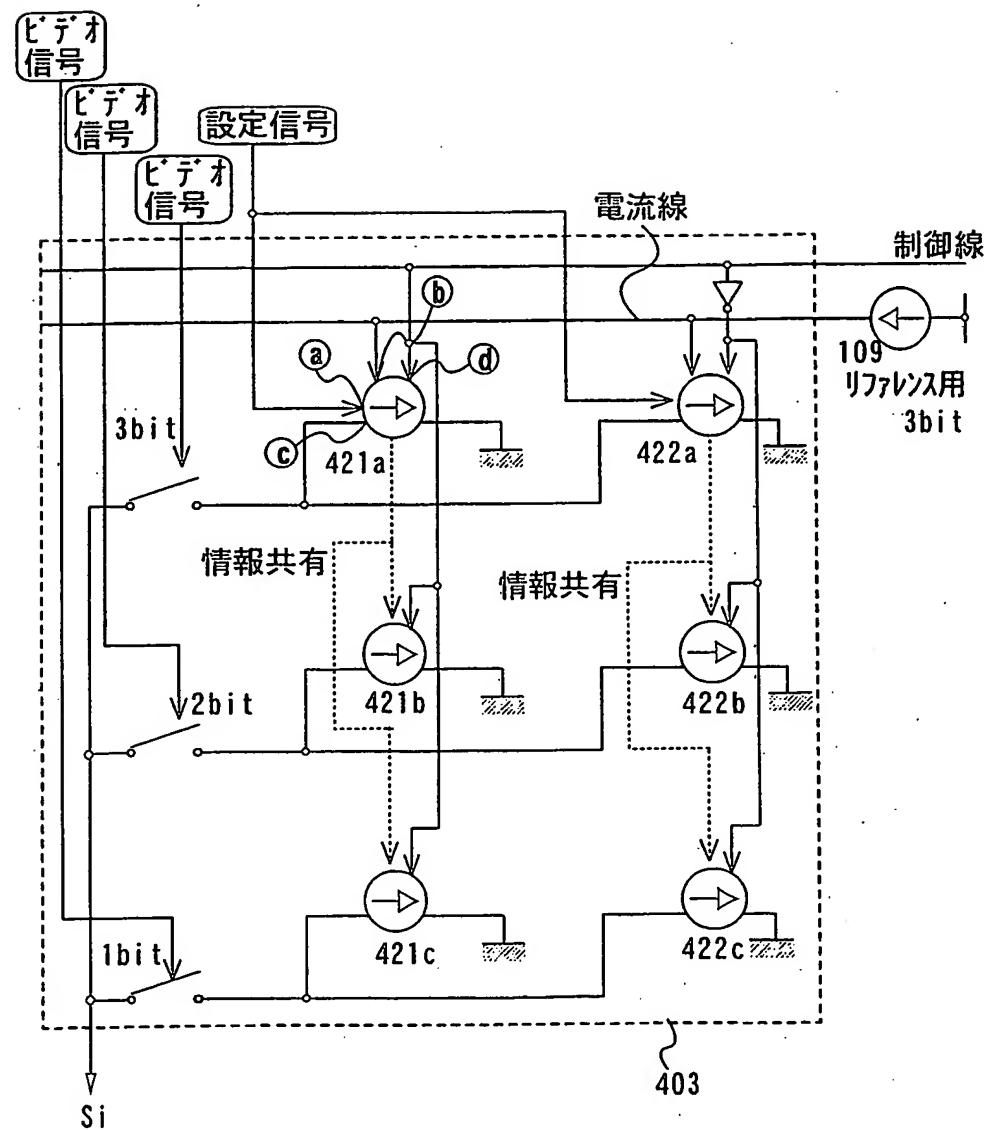


FIG. 58

53/82

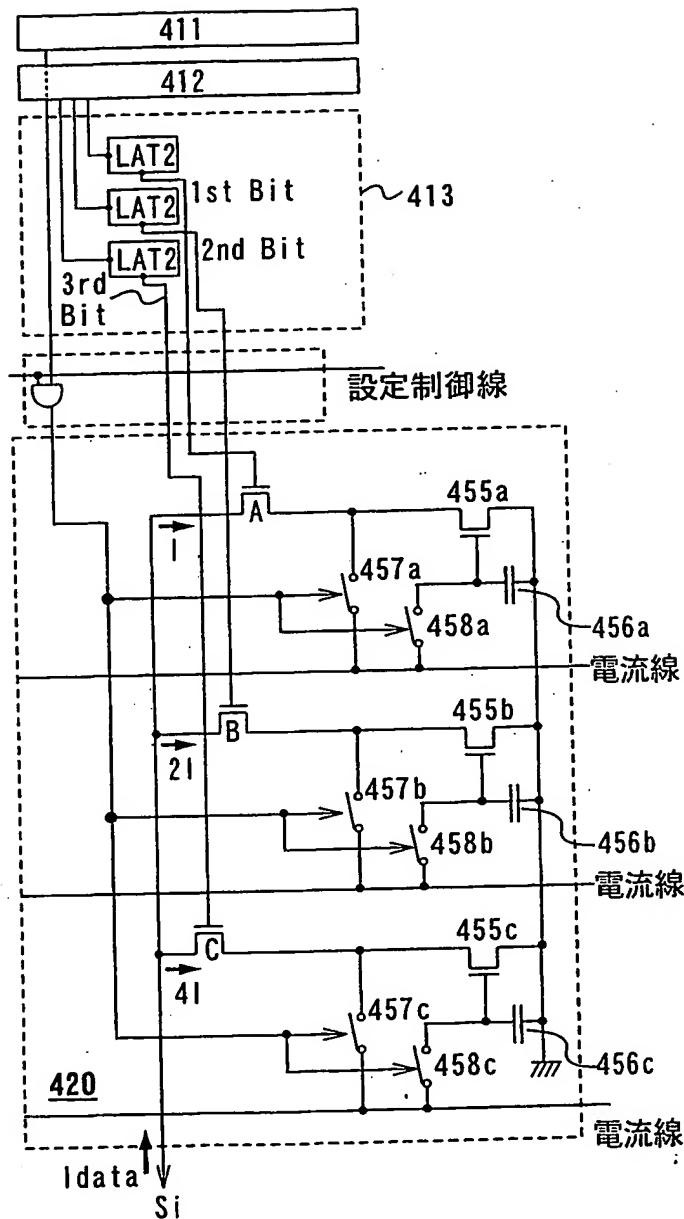


FIG. 59

差替え用紙(規則26)

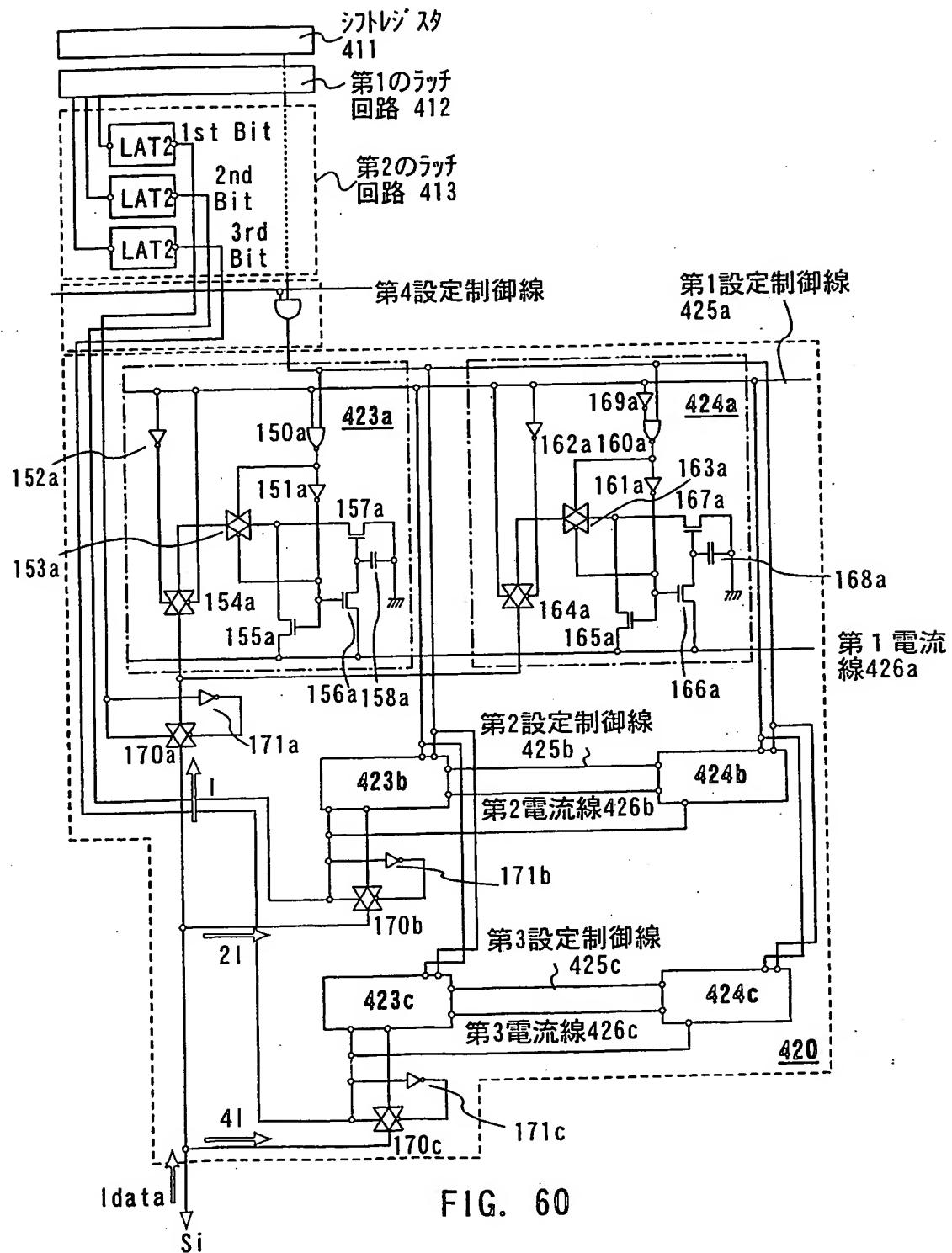


FIG. 60

差替え用紙(規則26)

55/82

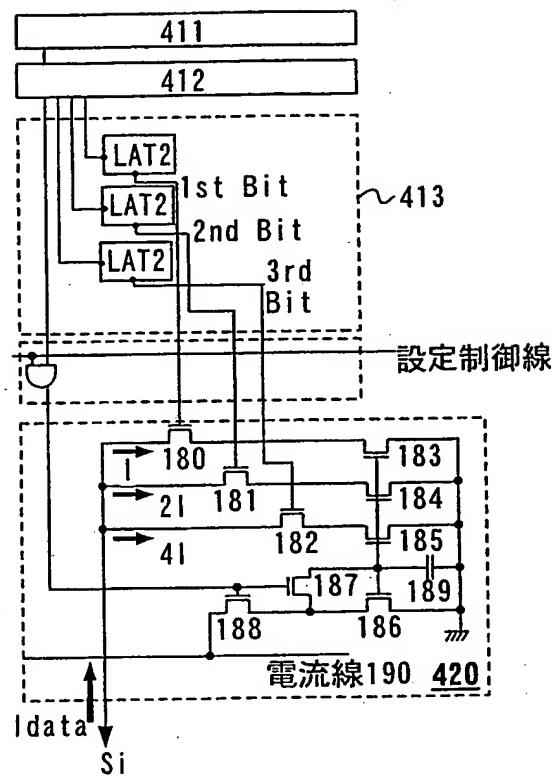


FIG. 61

差替え用紙 (規則26)

56/82

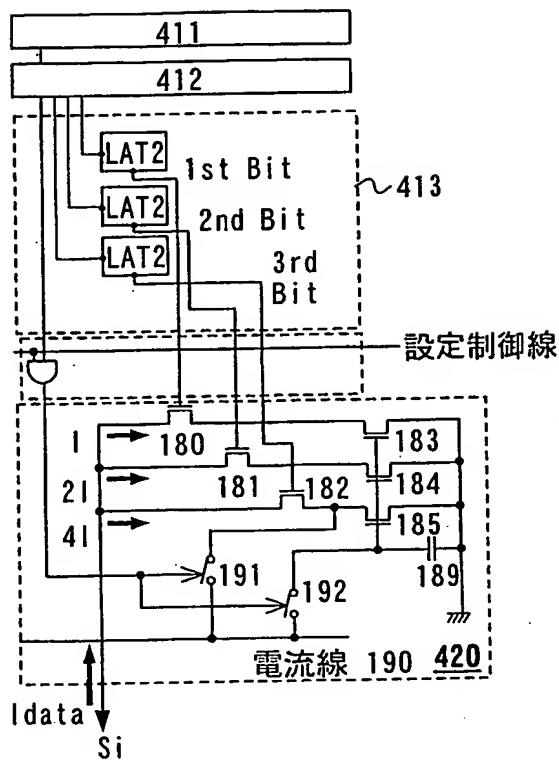


FIG. 62

FIG. 63A

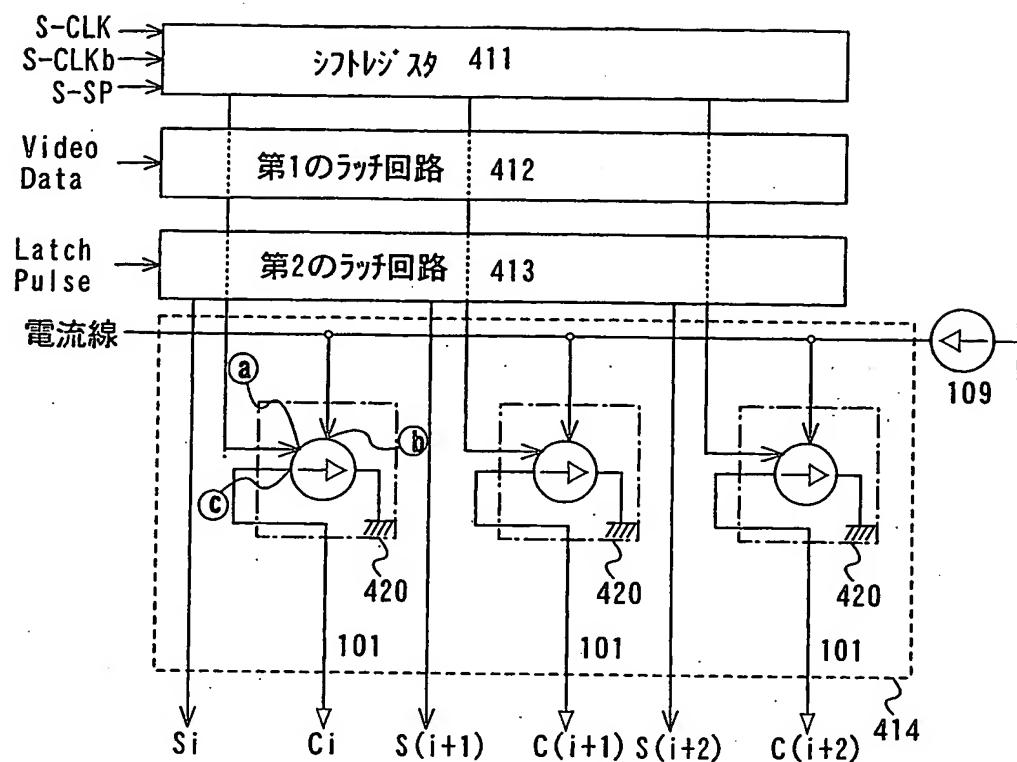
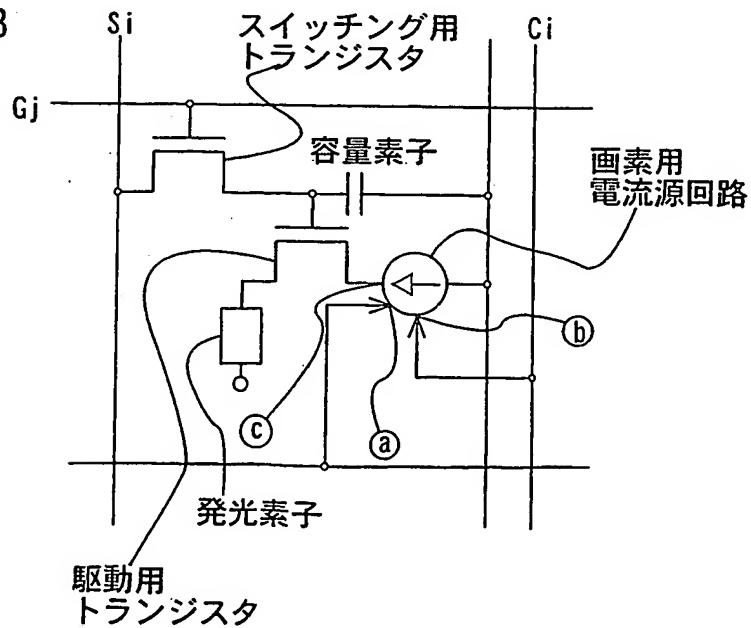
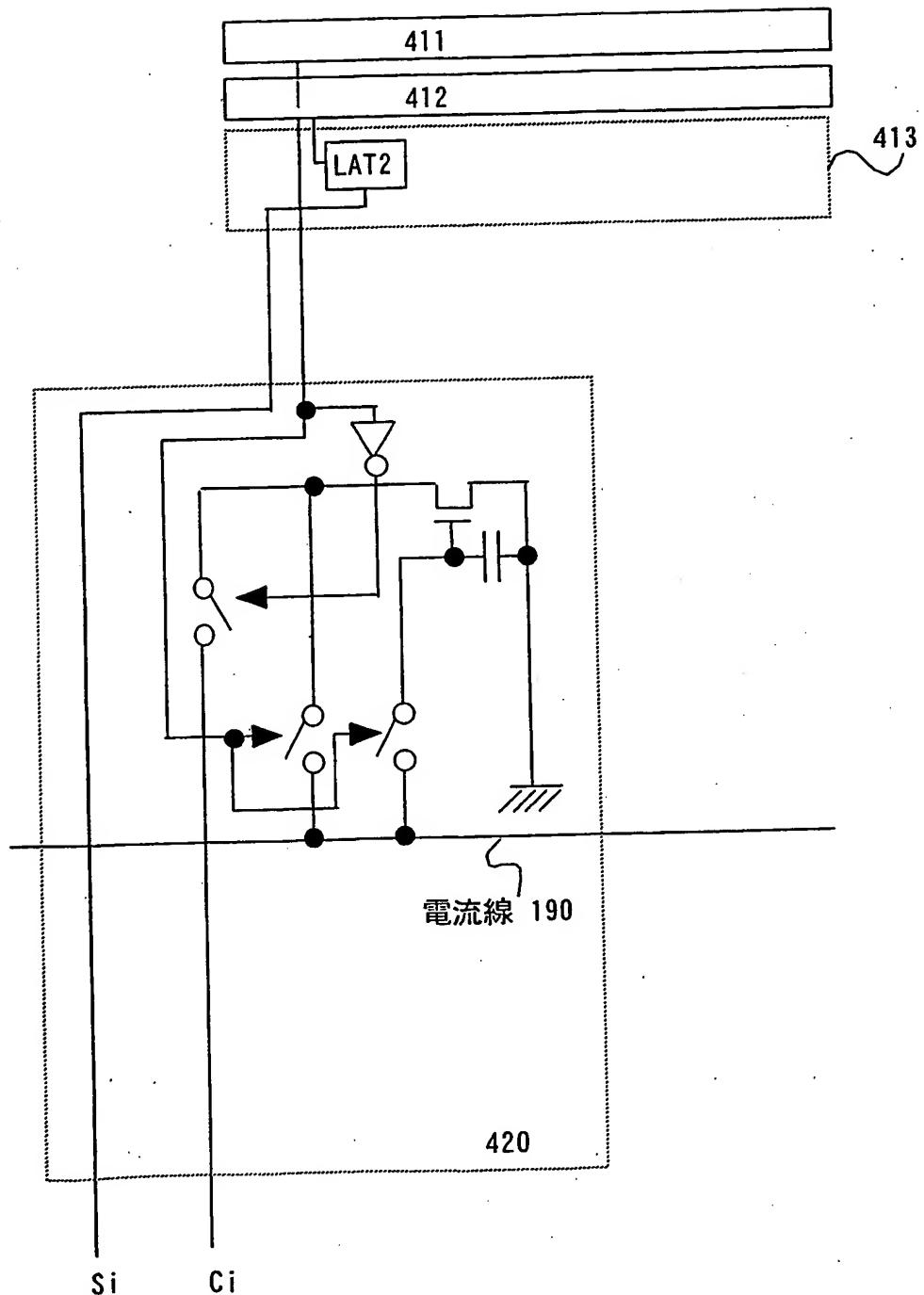


FIG. 63B



58/82

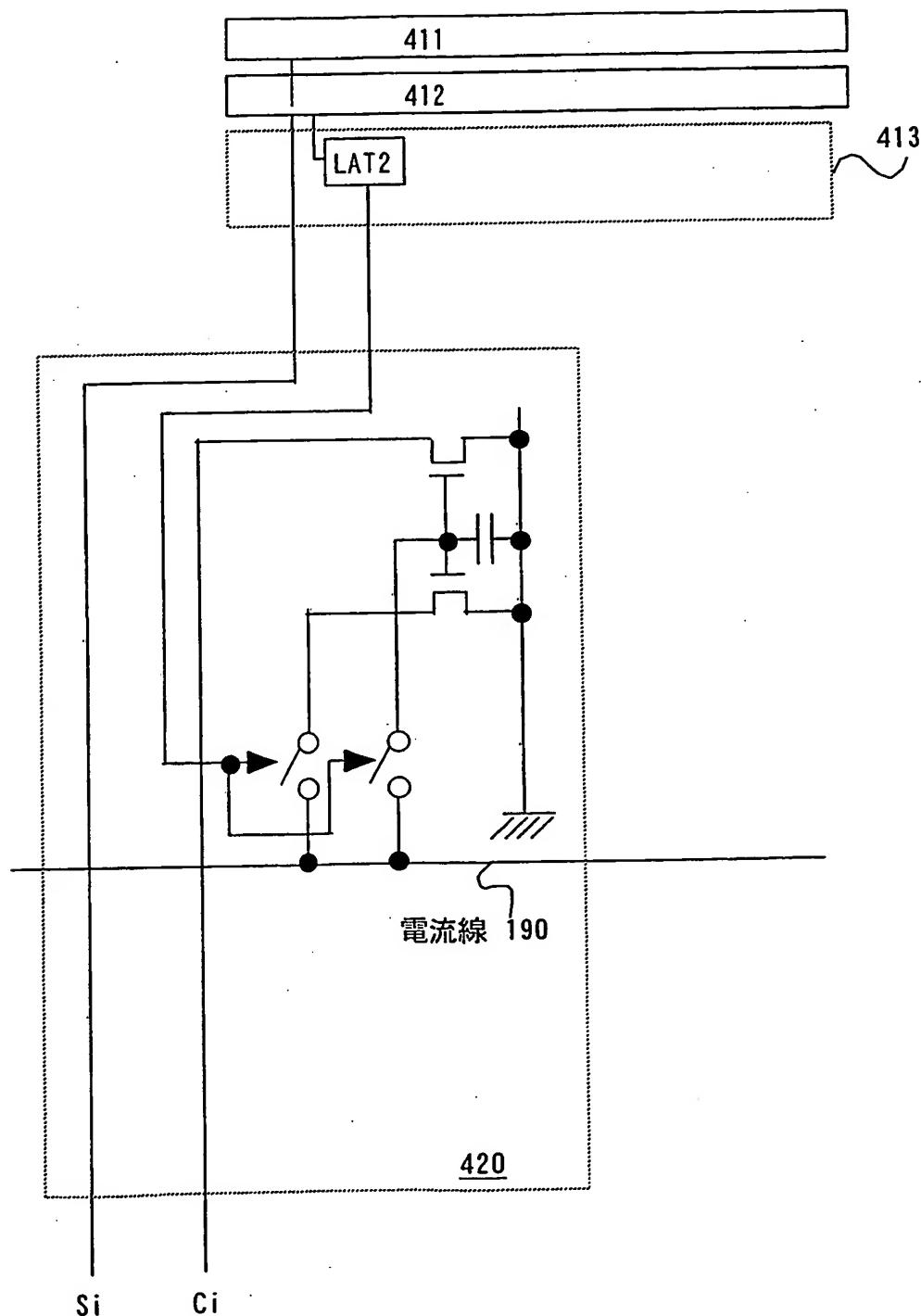
FIG. 64



差替え用紙 (規則26)

59/82

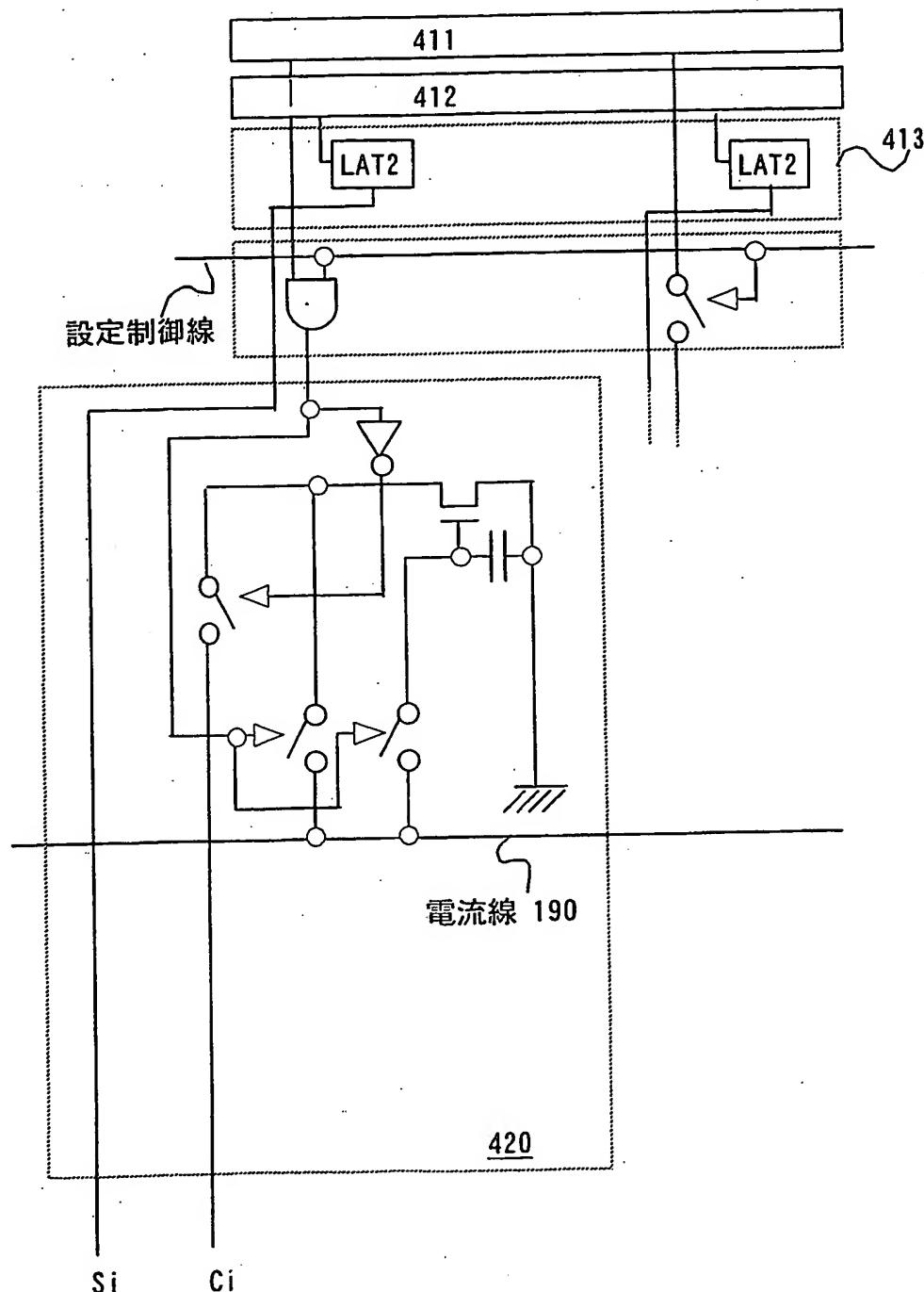
FIG. 65



差替え用紙(規則26)

60/82

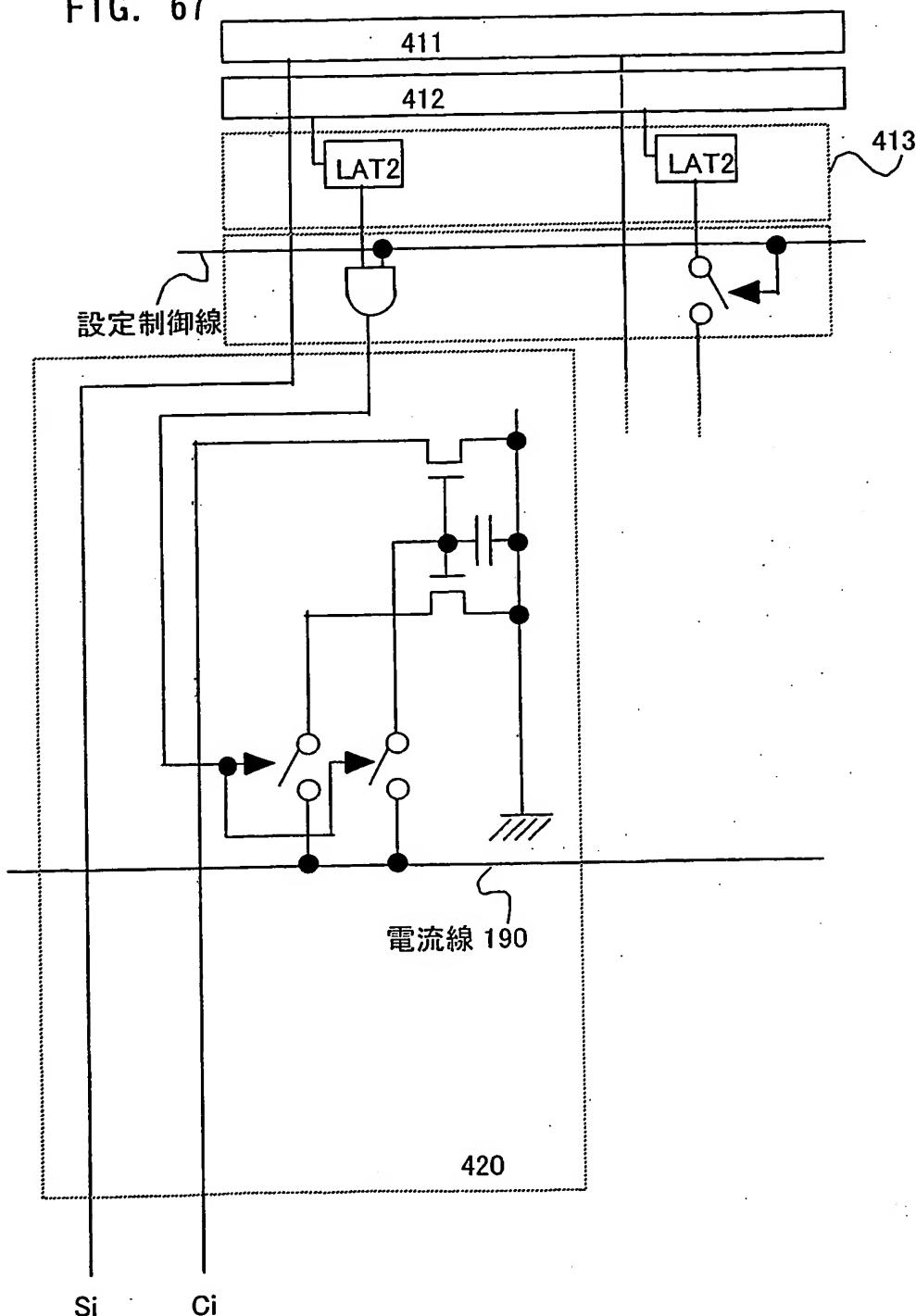
FIG. 66



差替え用紙(規則26)

61/82

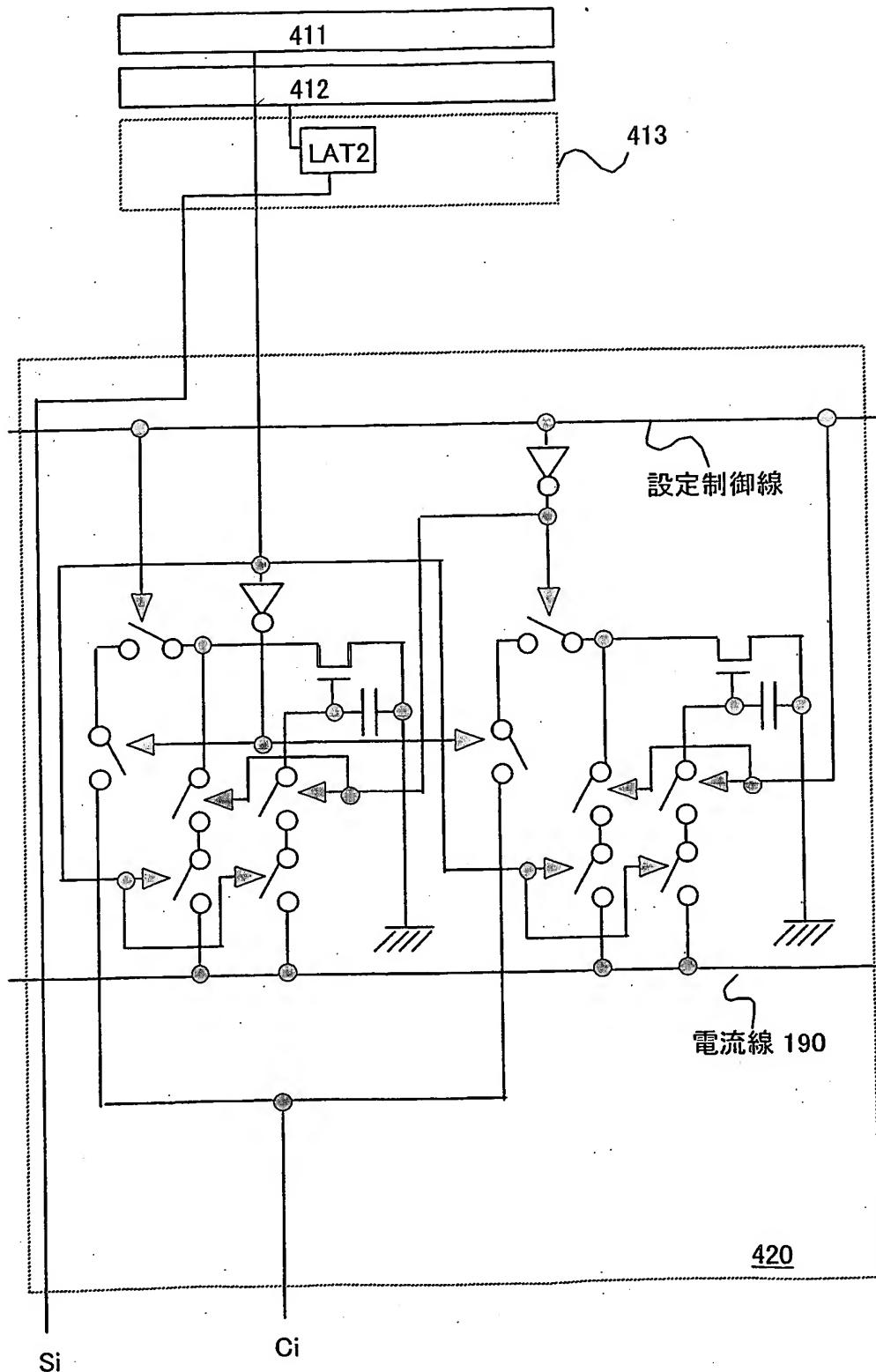
FIG. 67



差替え用紙(規則26)

FIG. 68

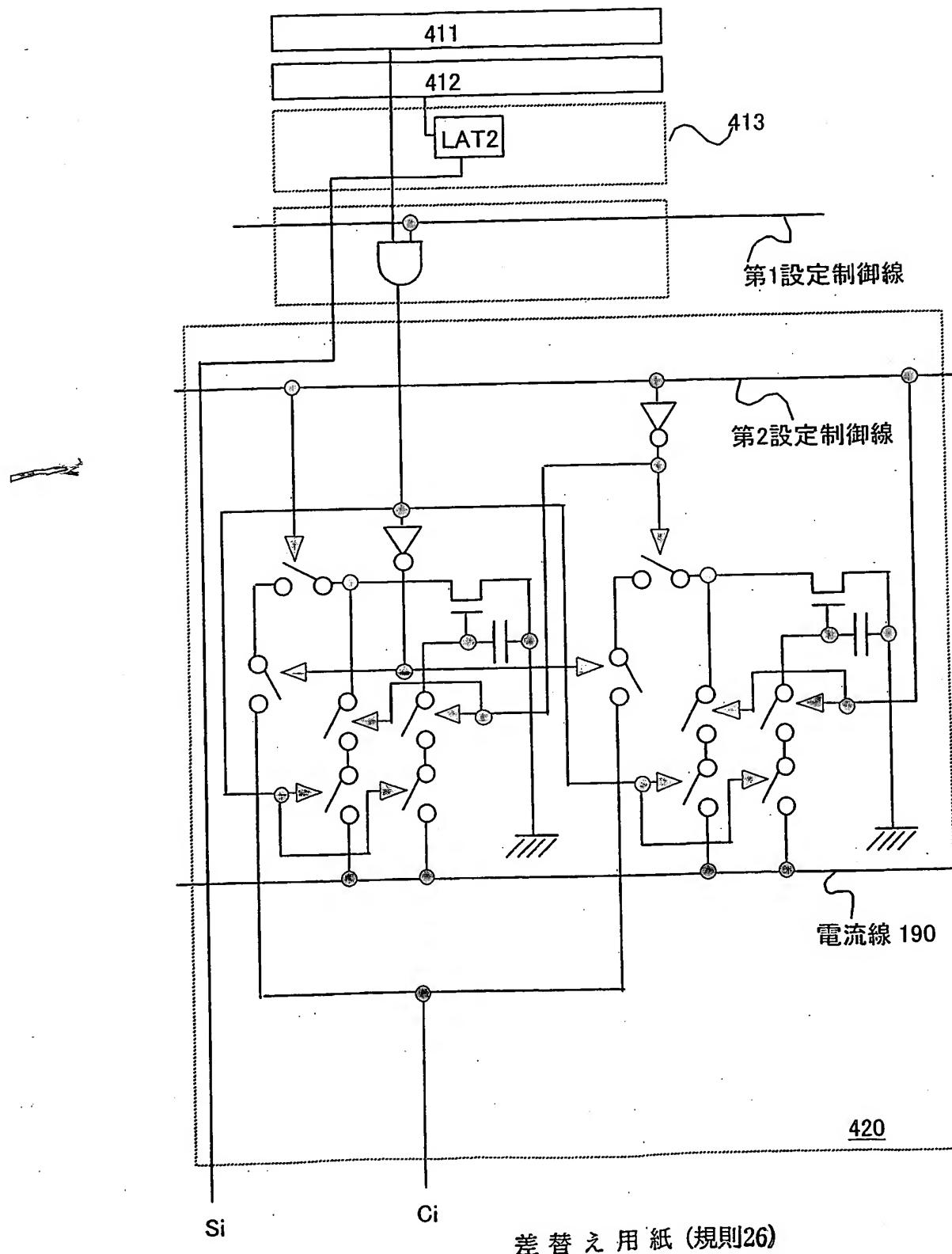
62/82



差替え用紙(規則26)

63/82

FIG. 69



64/82

FIG. 70A

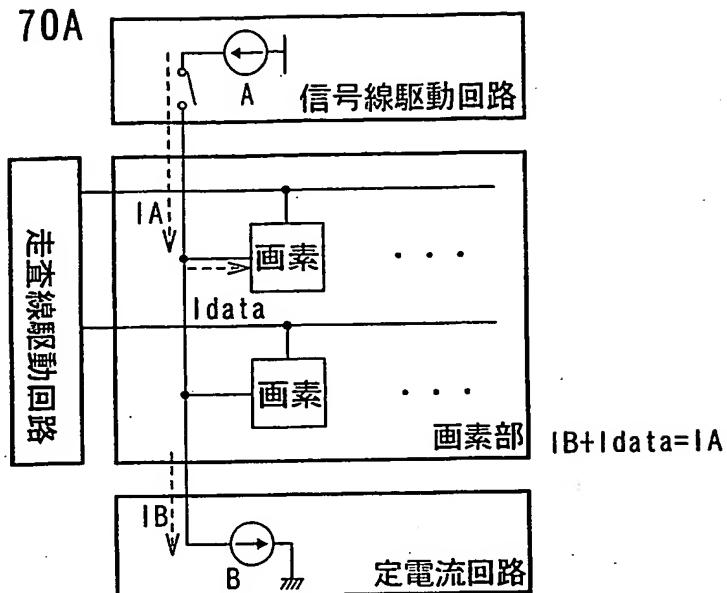
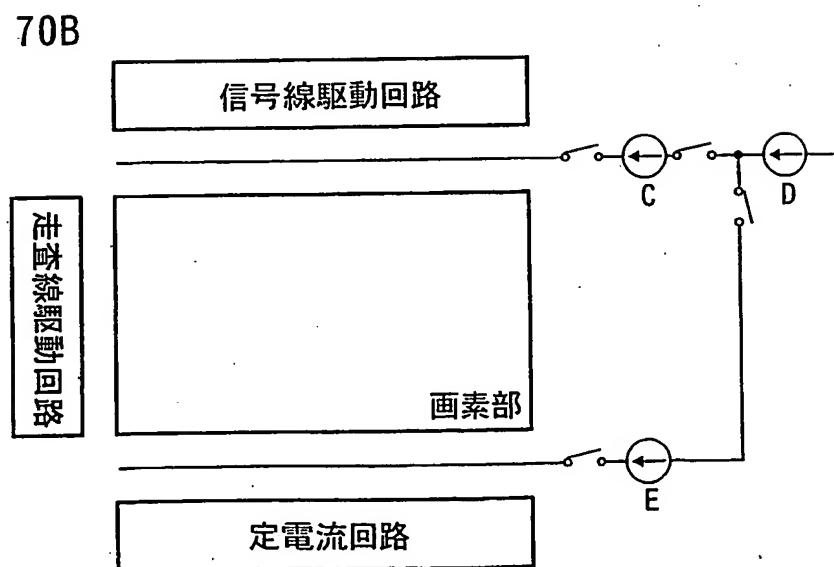


FIG. 70B



差替え用紙 (規則26)

65/82

FIG. 71A

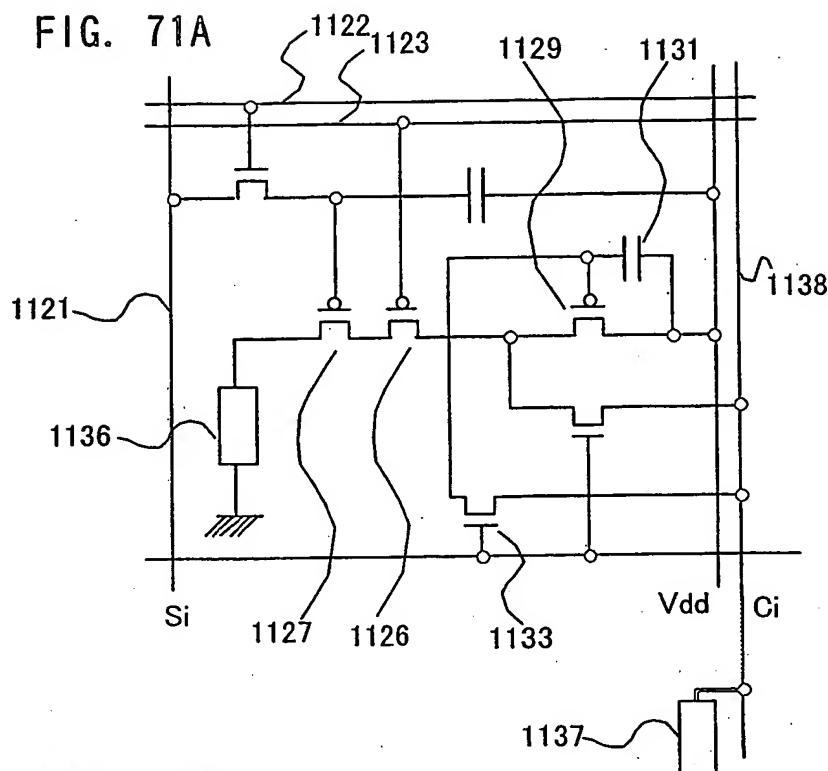
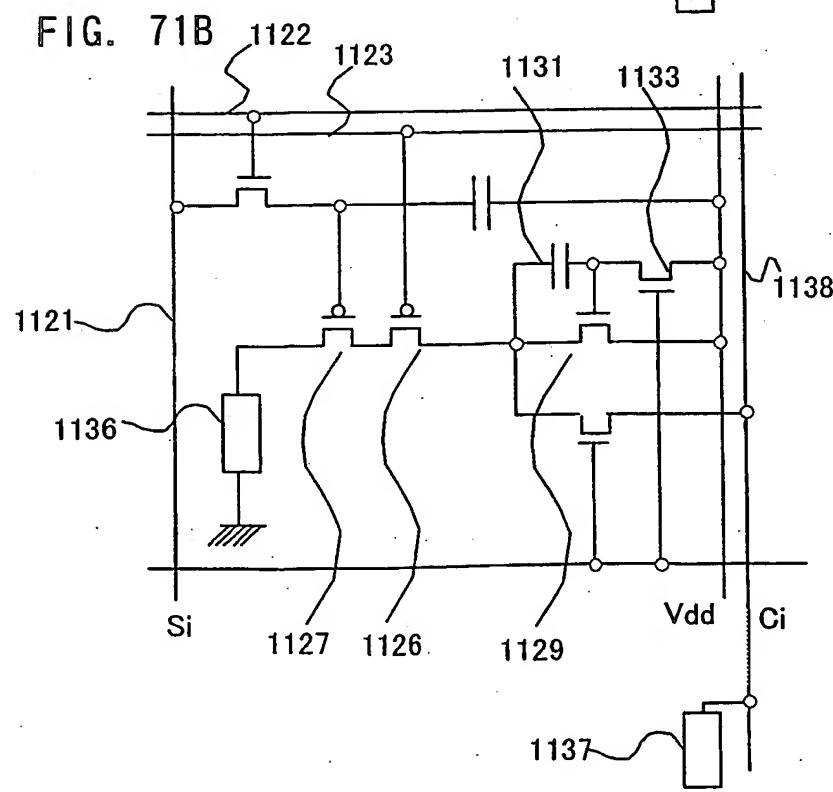
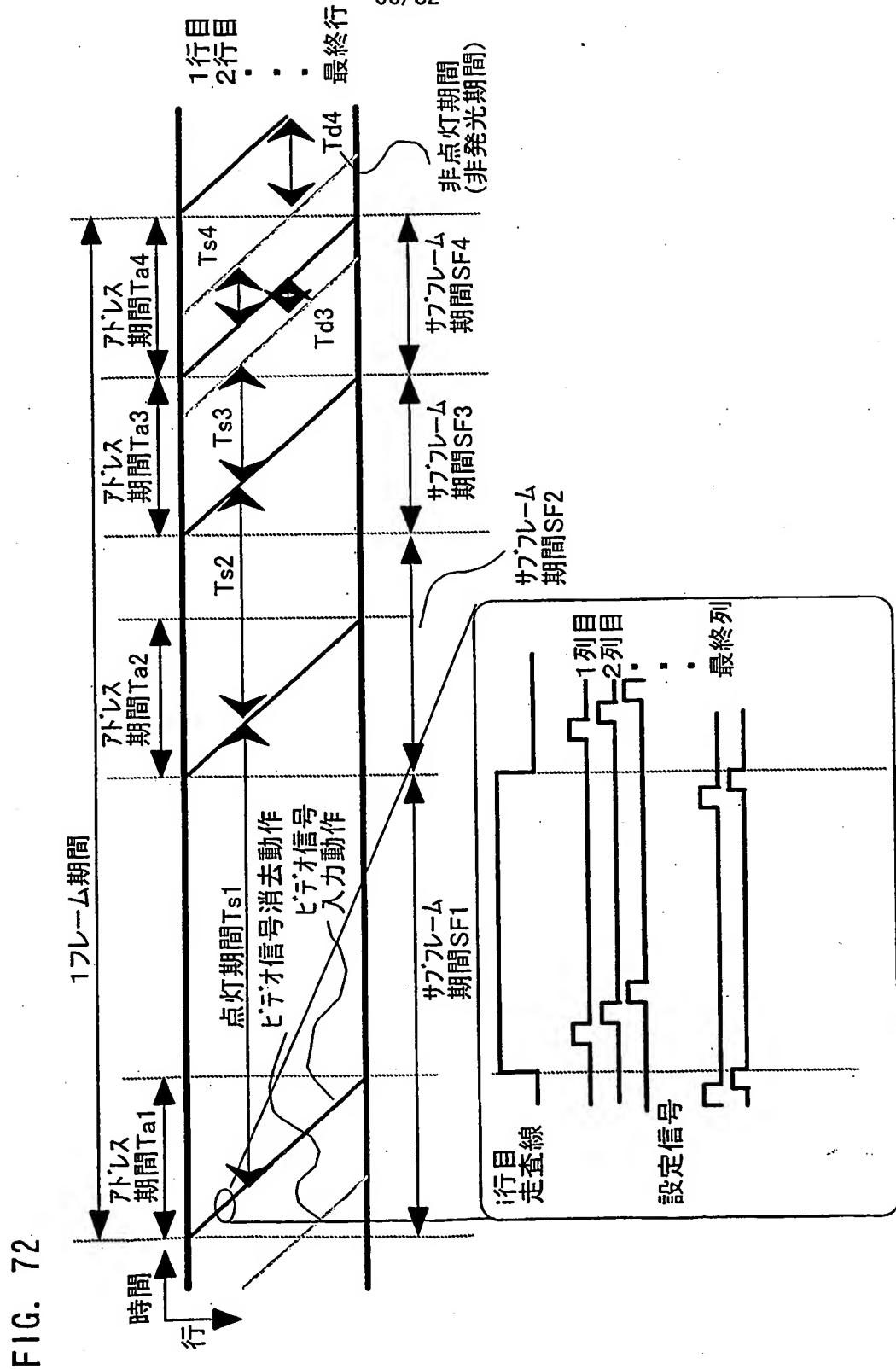


FIG. 71B



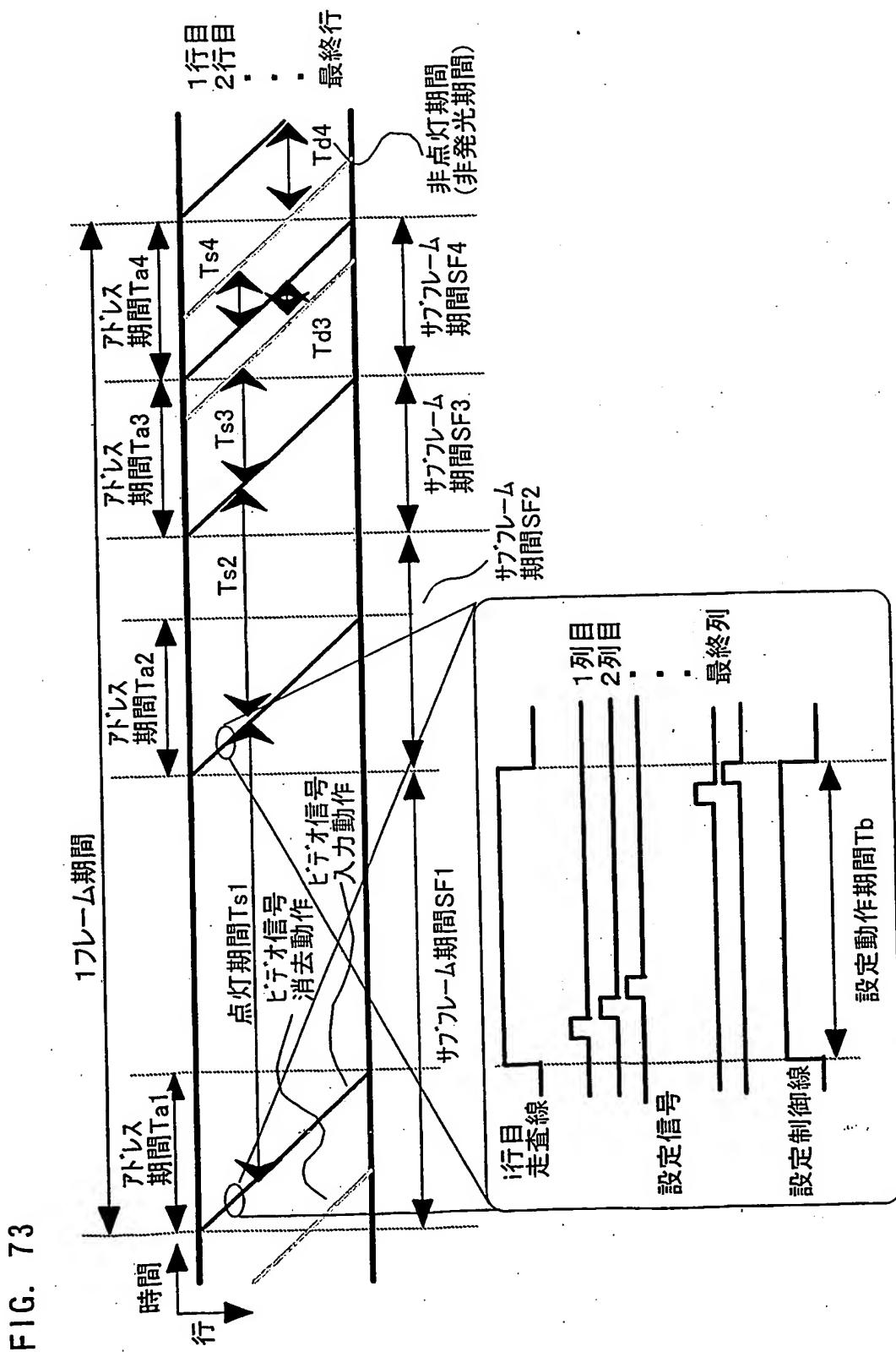
差替え用紙 (規則26)

66/82



機器用紙 (規則26)

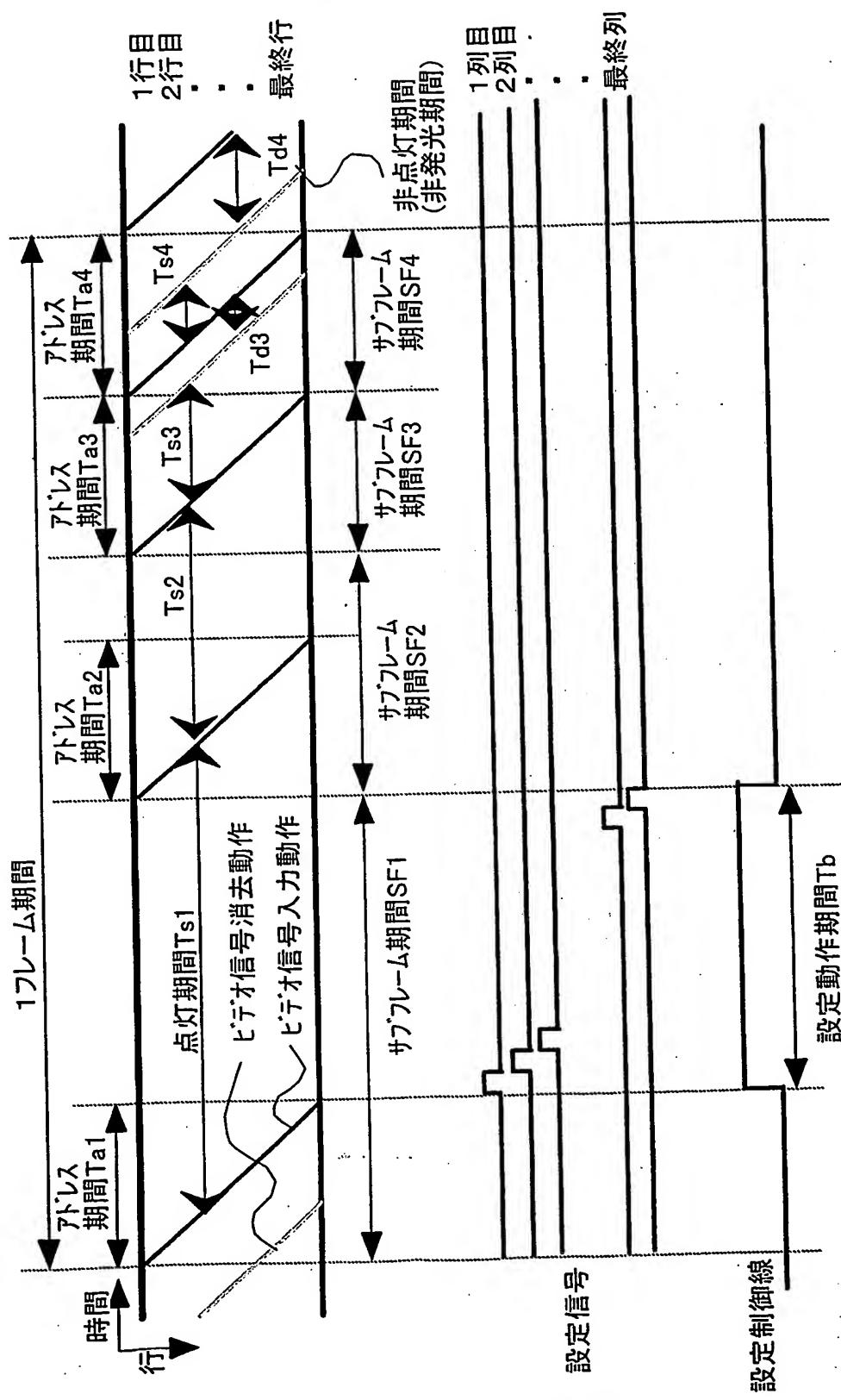
67/82



差替え用紙 (規則26)

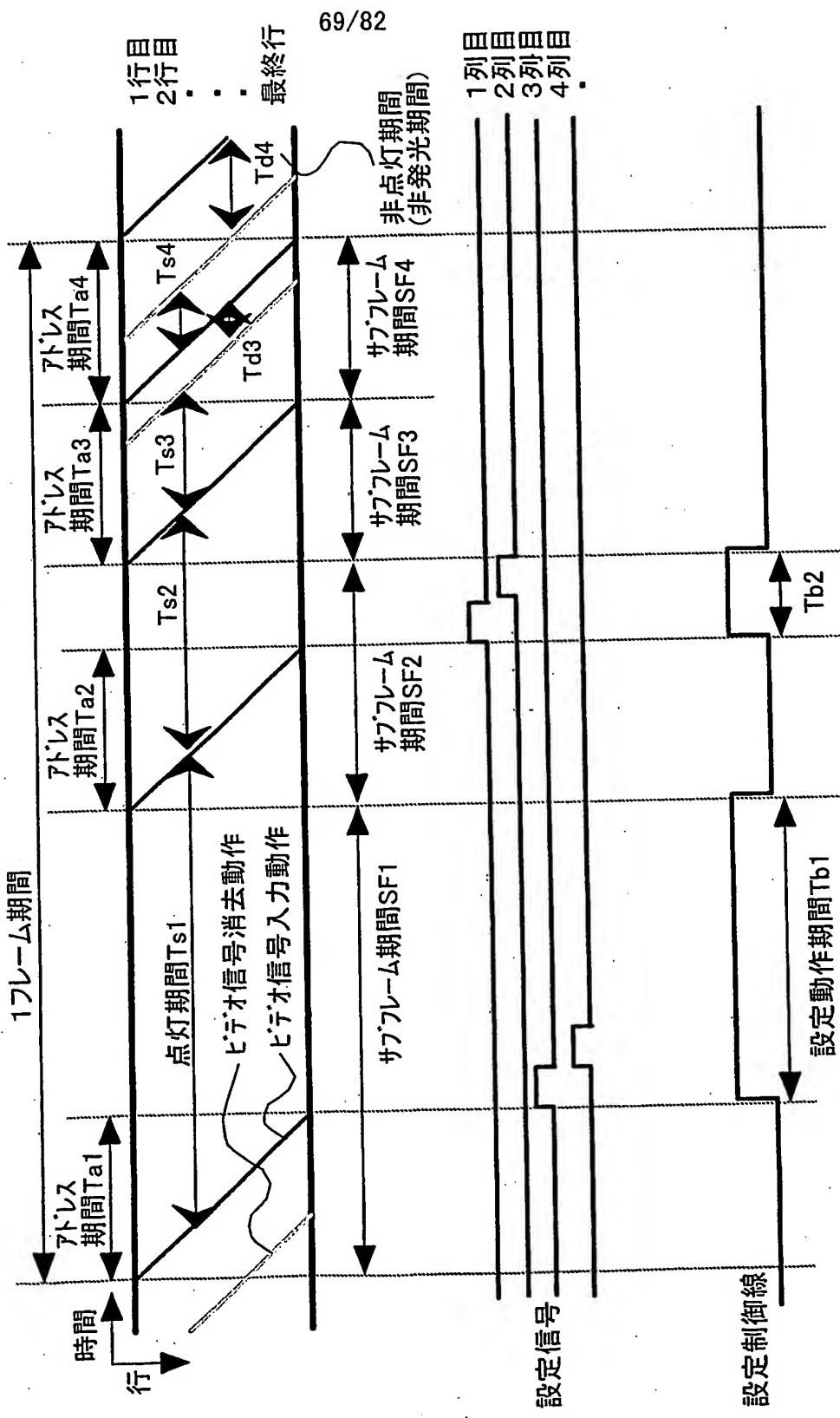
68/82

FIG. 74



標準化規則 (規則26)

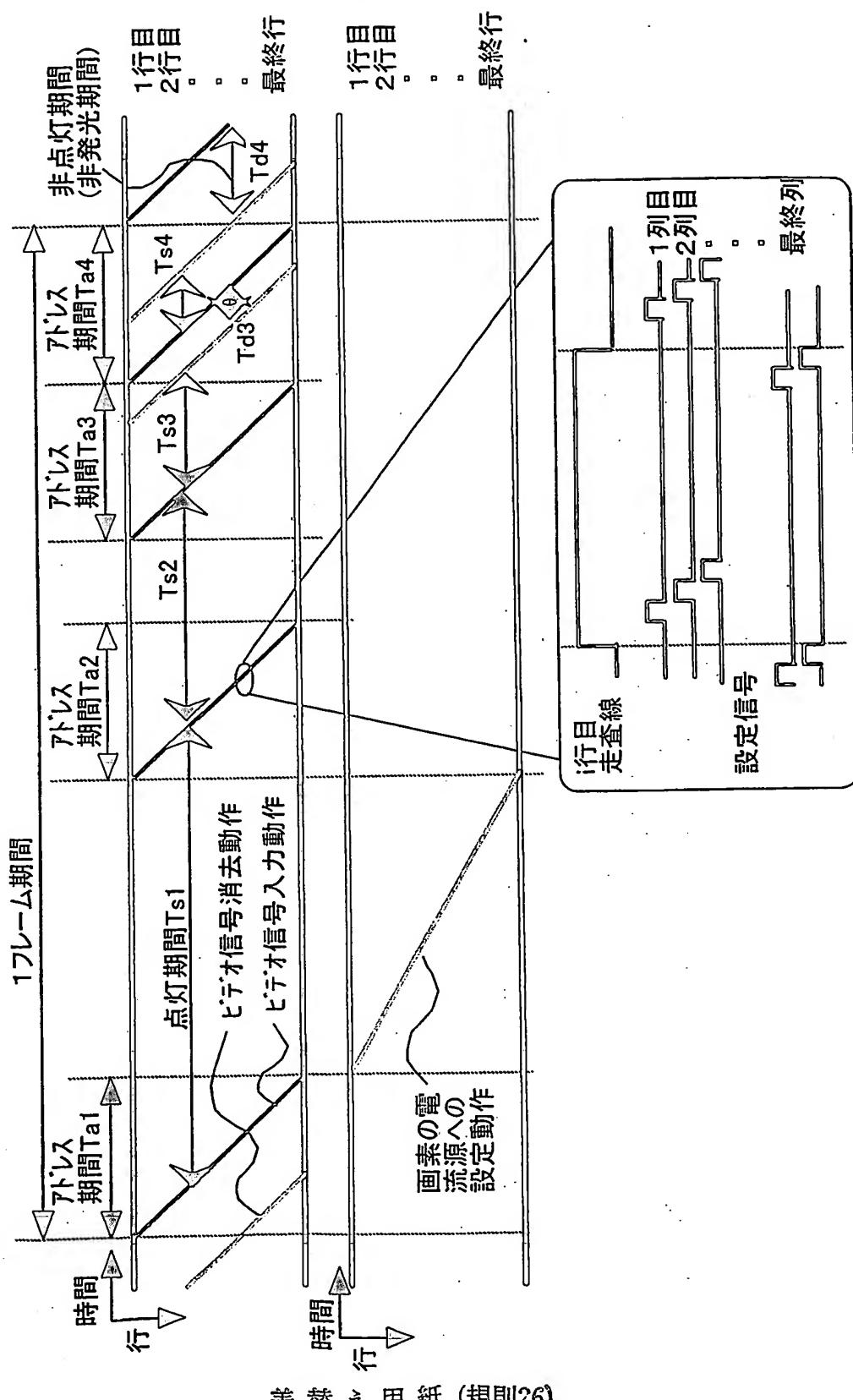
FIG. 75



機器用紙(規則26)

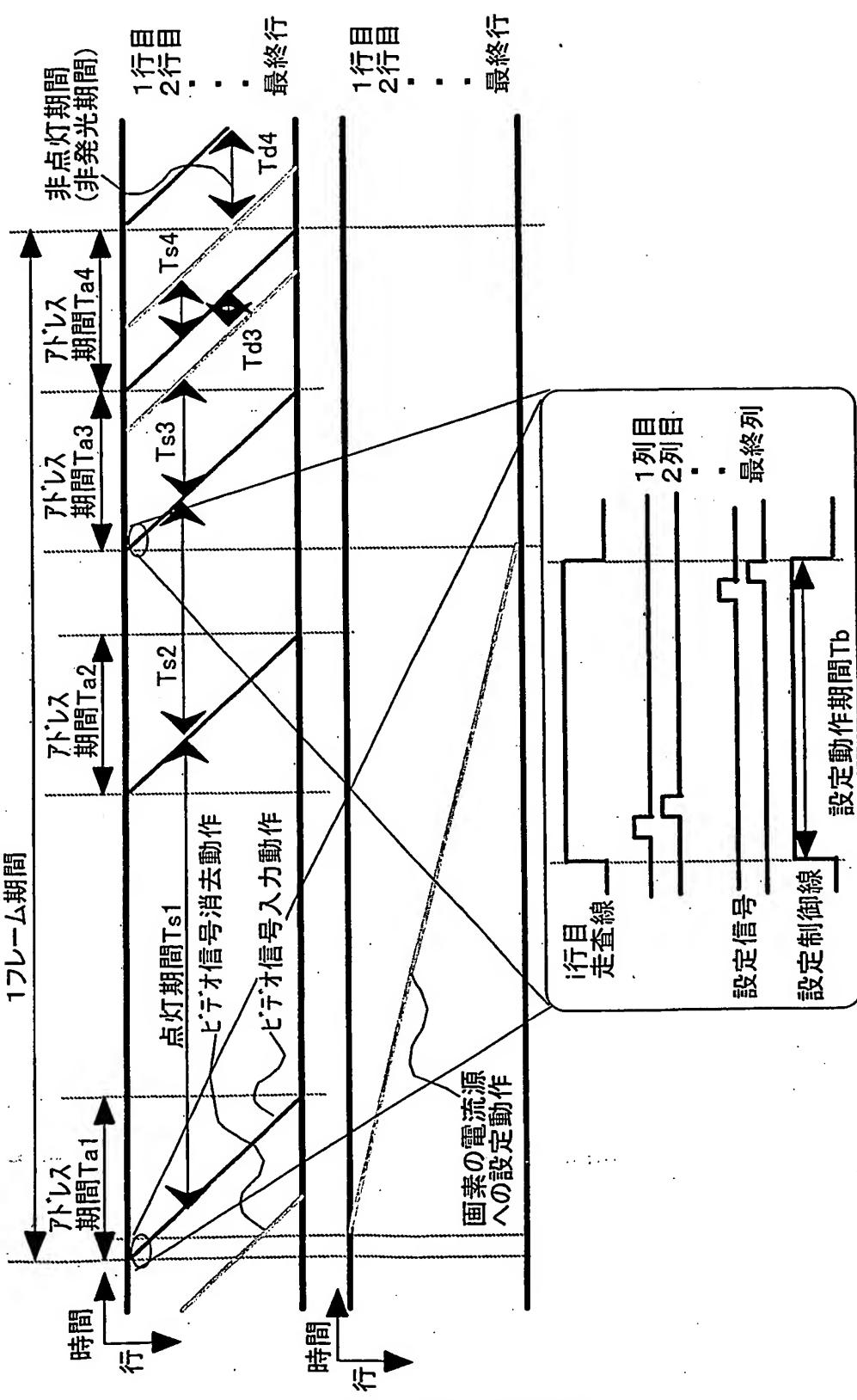
70/82

FIG. 76



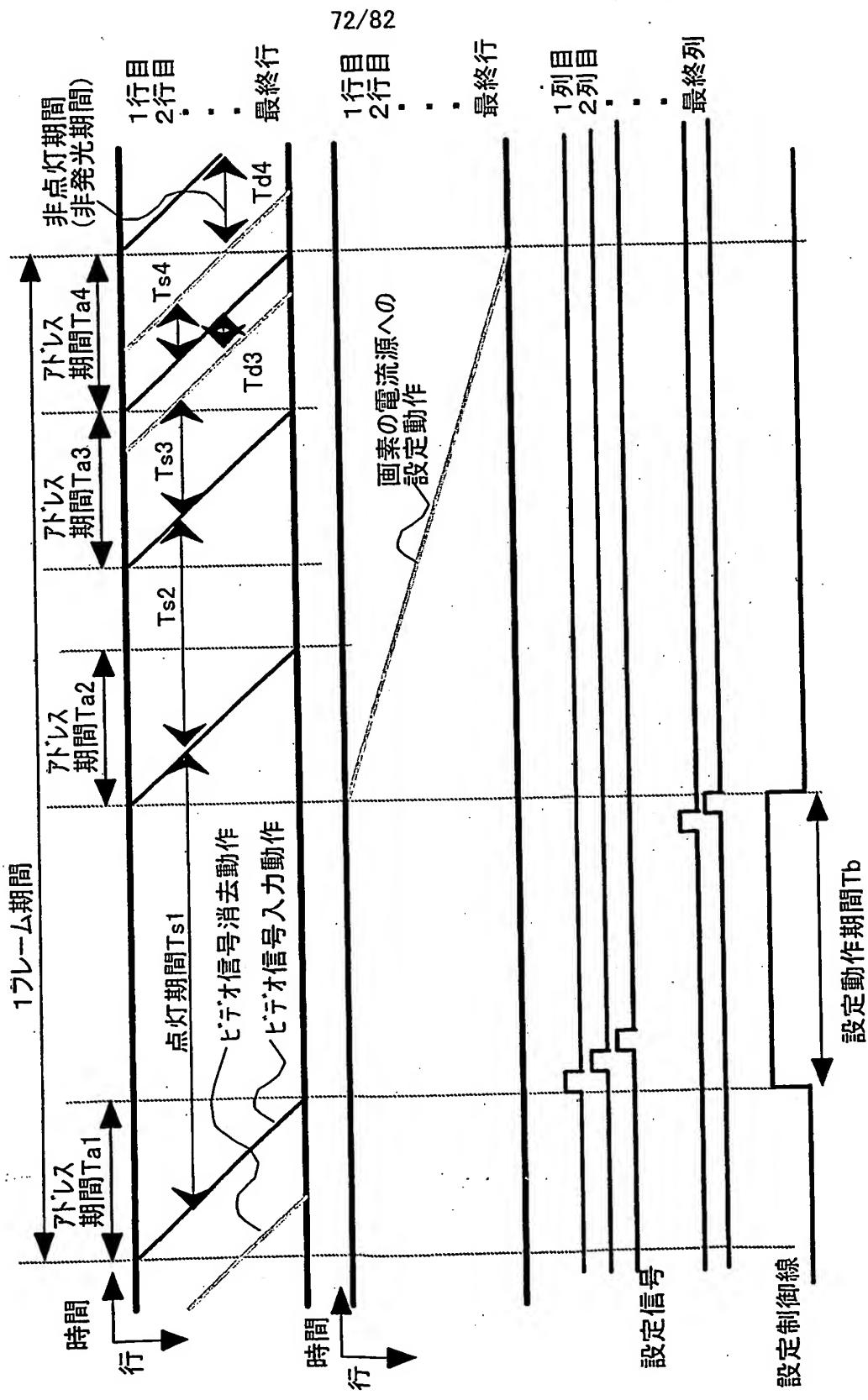
辨 譲 ふ 用 紙 (規則26)

FIG. 77



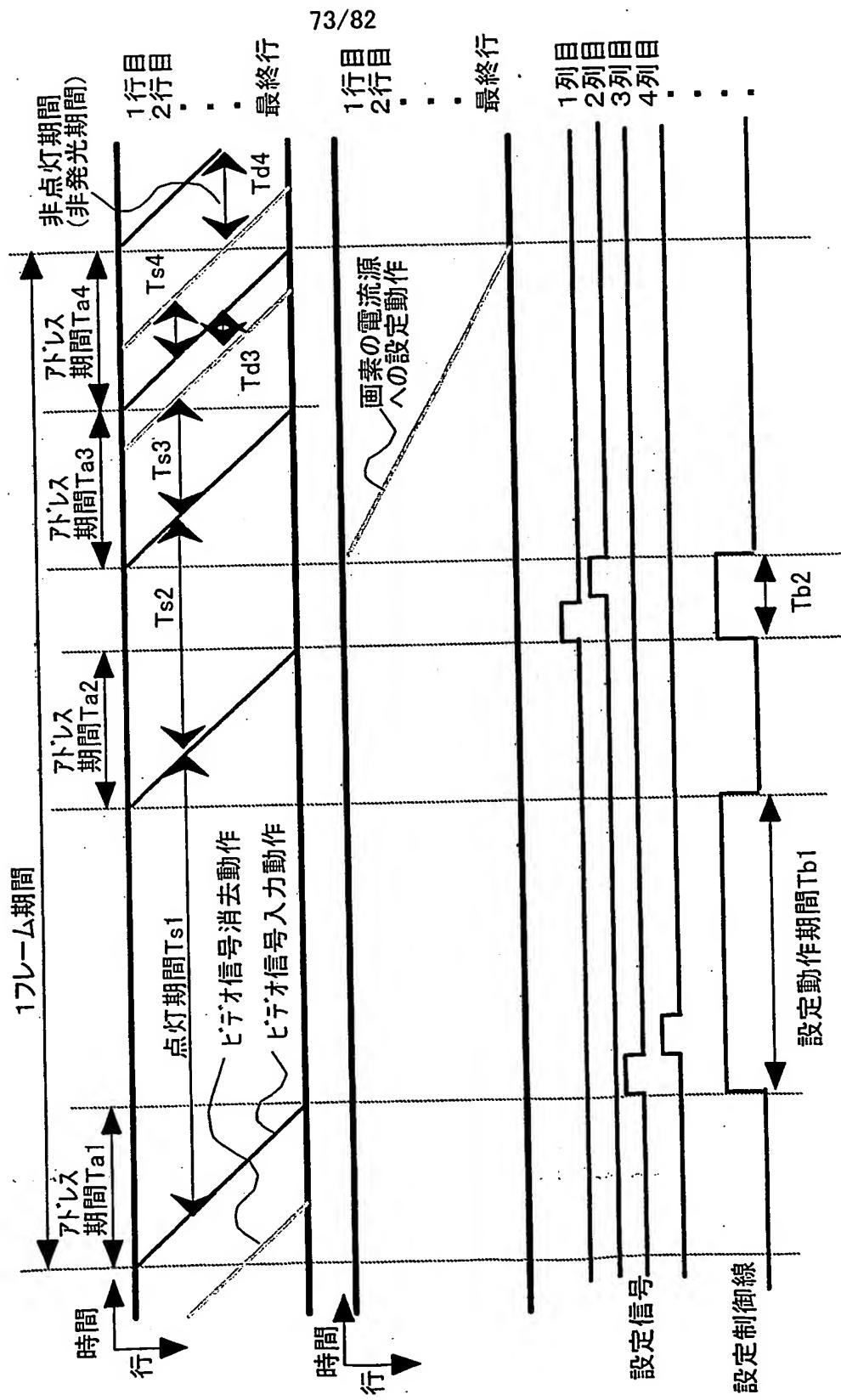
解説文 (規則26)

FIG. 78



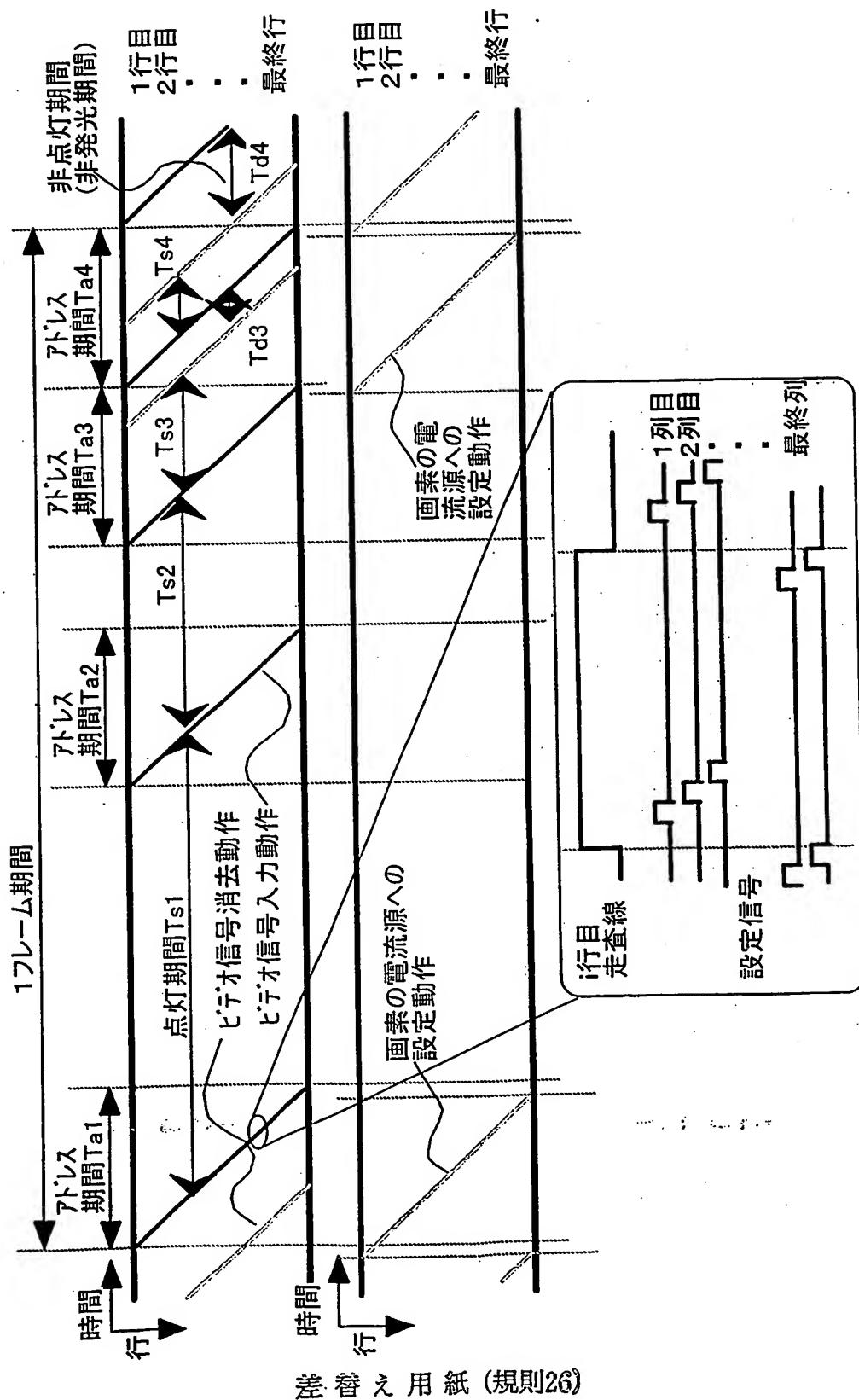
消 磨 パ 用 紙 (規則26)

FIG. 79

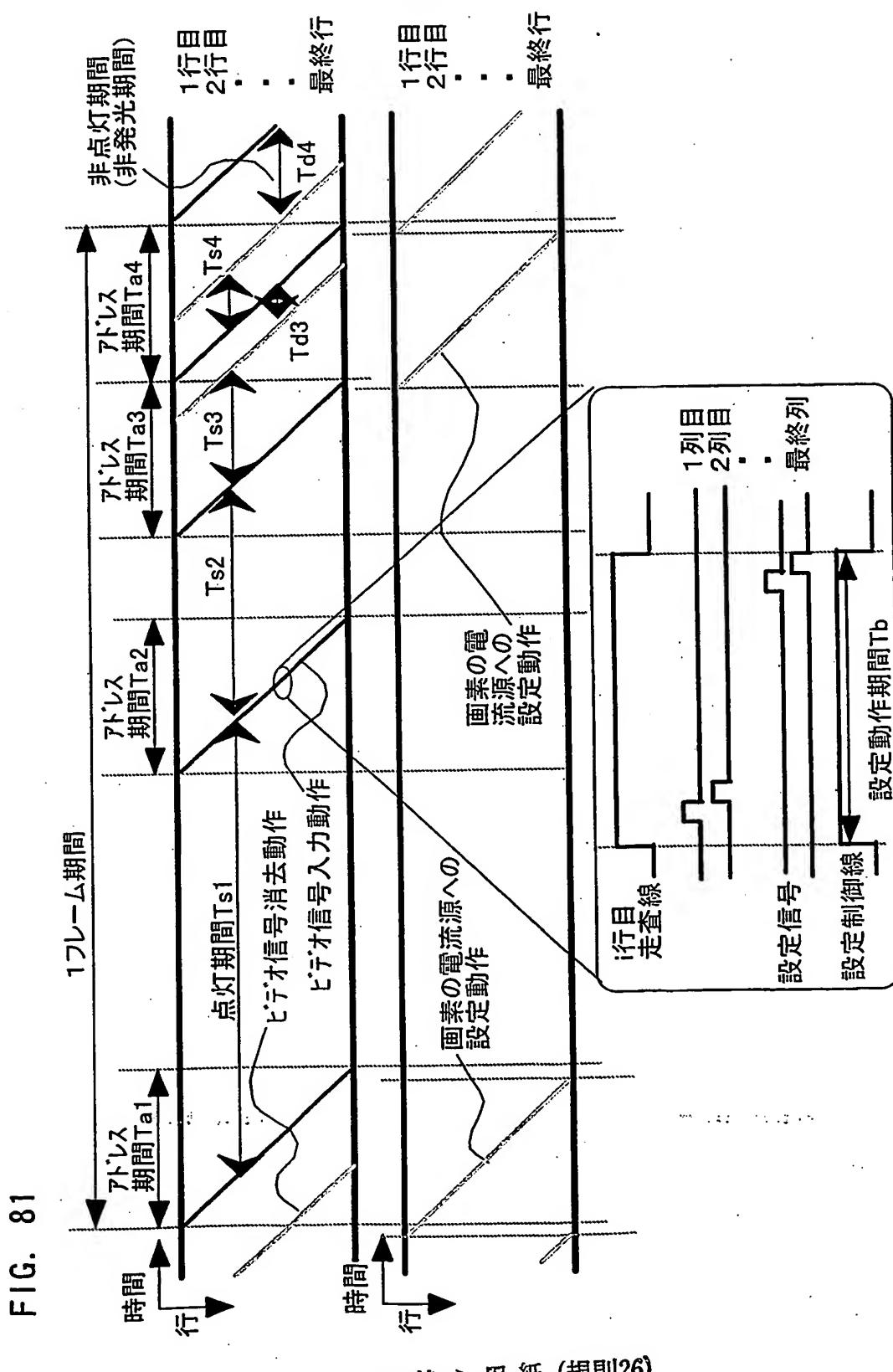


74/82

FIG. 80

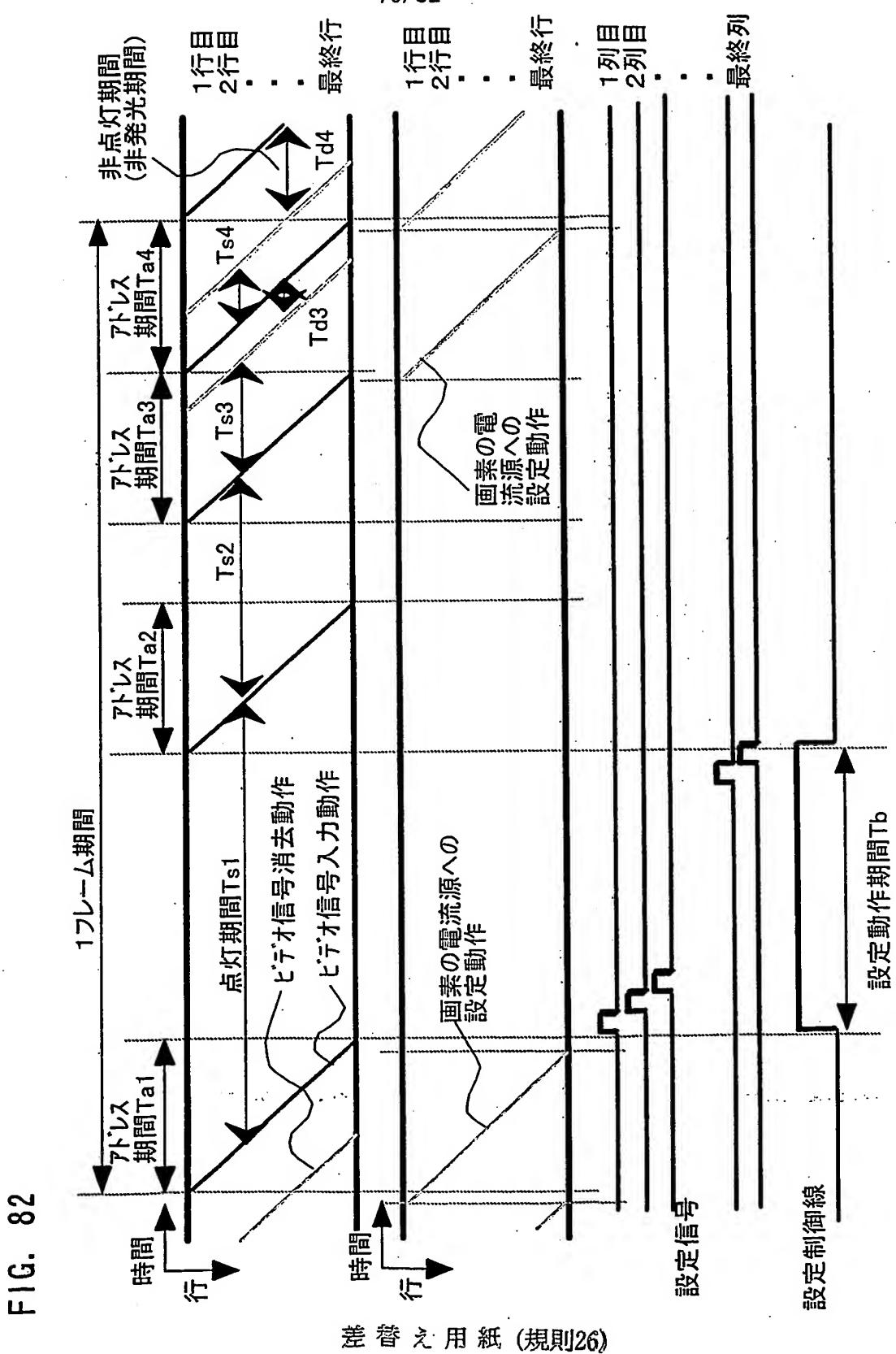


75/82



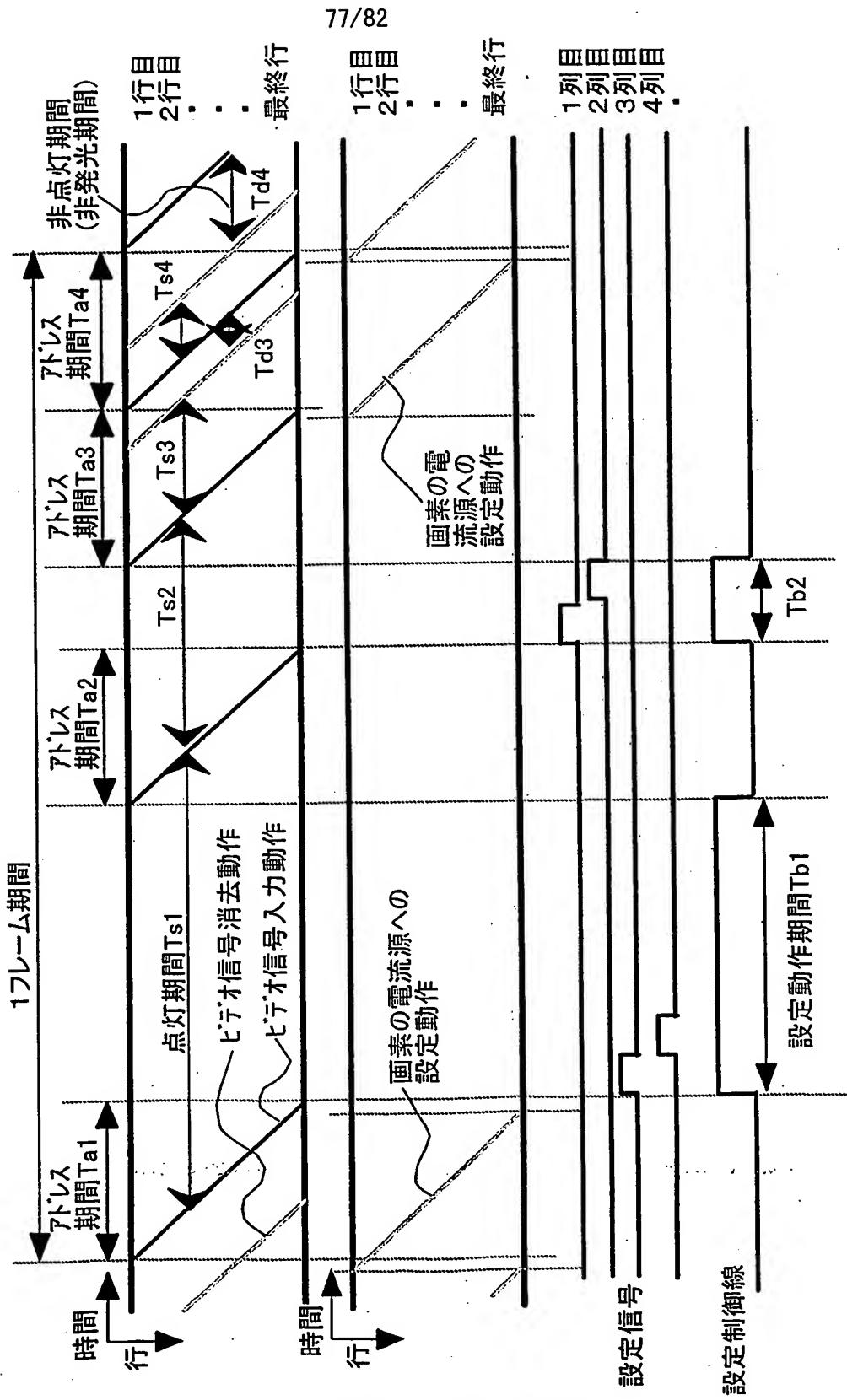
機械式用語 (規則26)

76/82



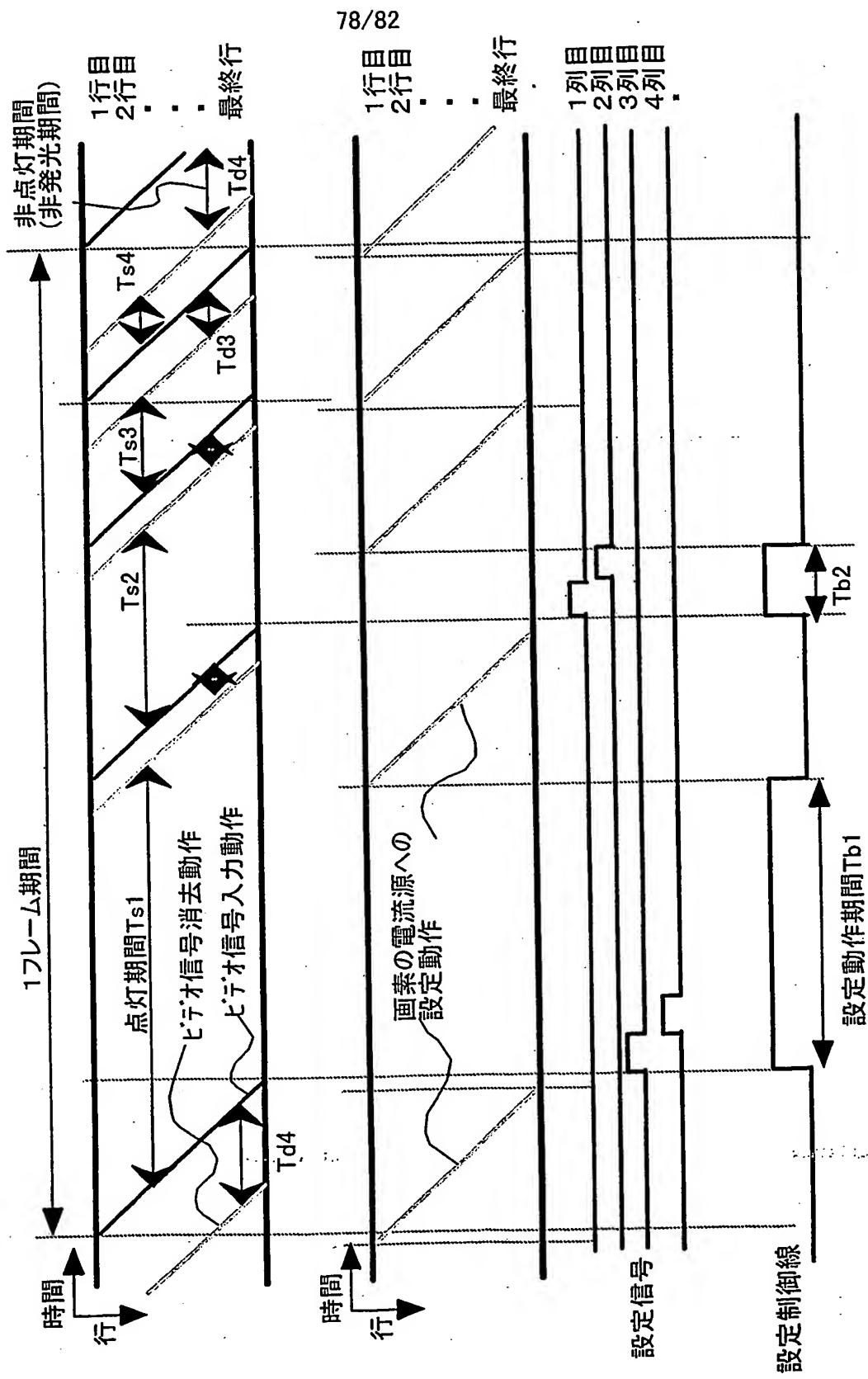
標準化規則 (規則26)

FIG. 83



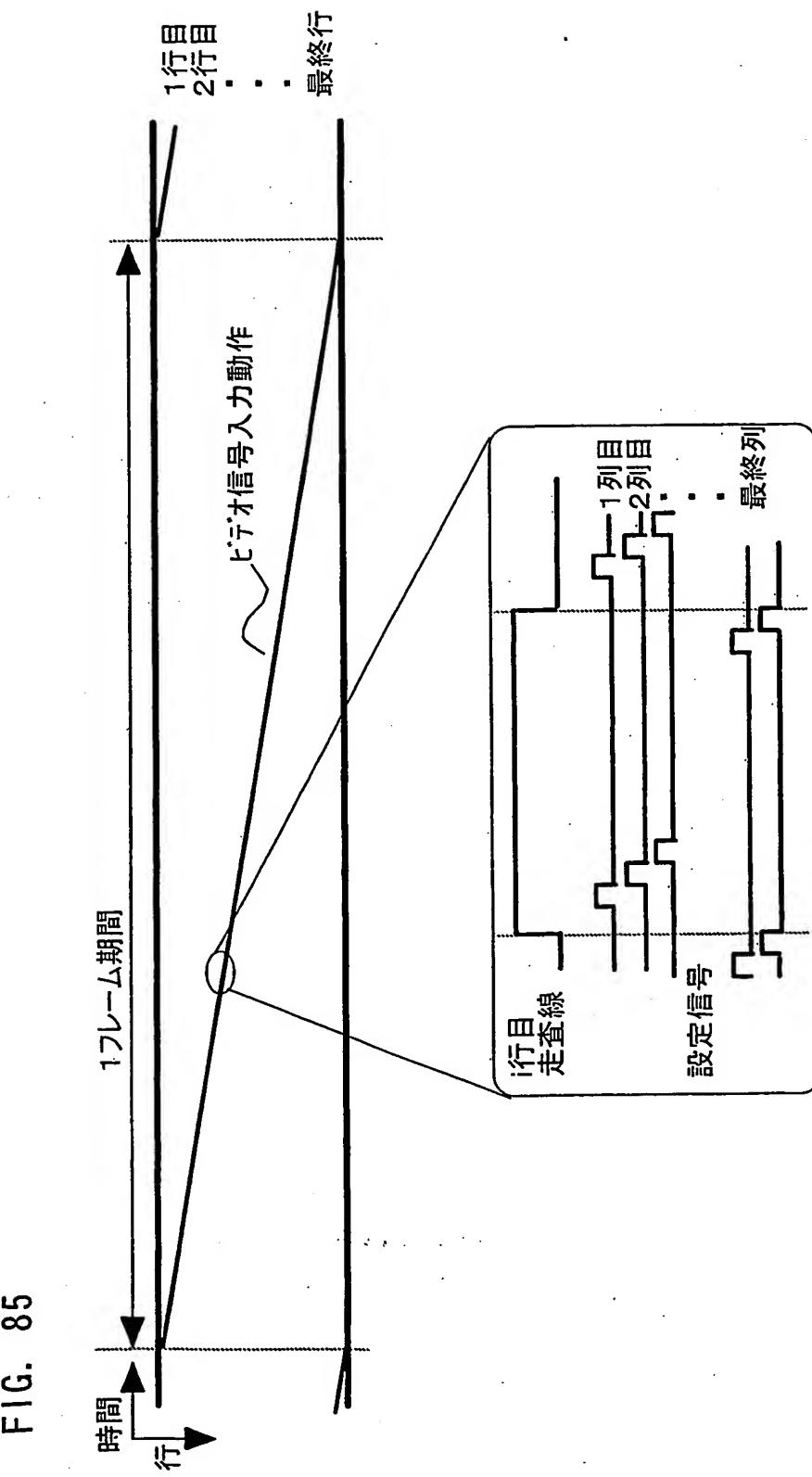
規則26 (規則26)

FIG. 84



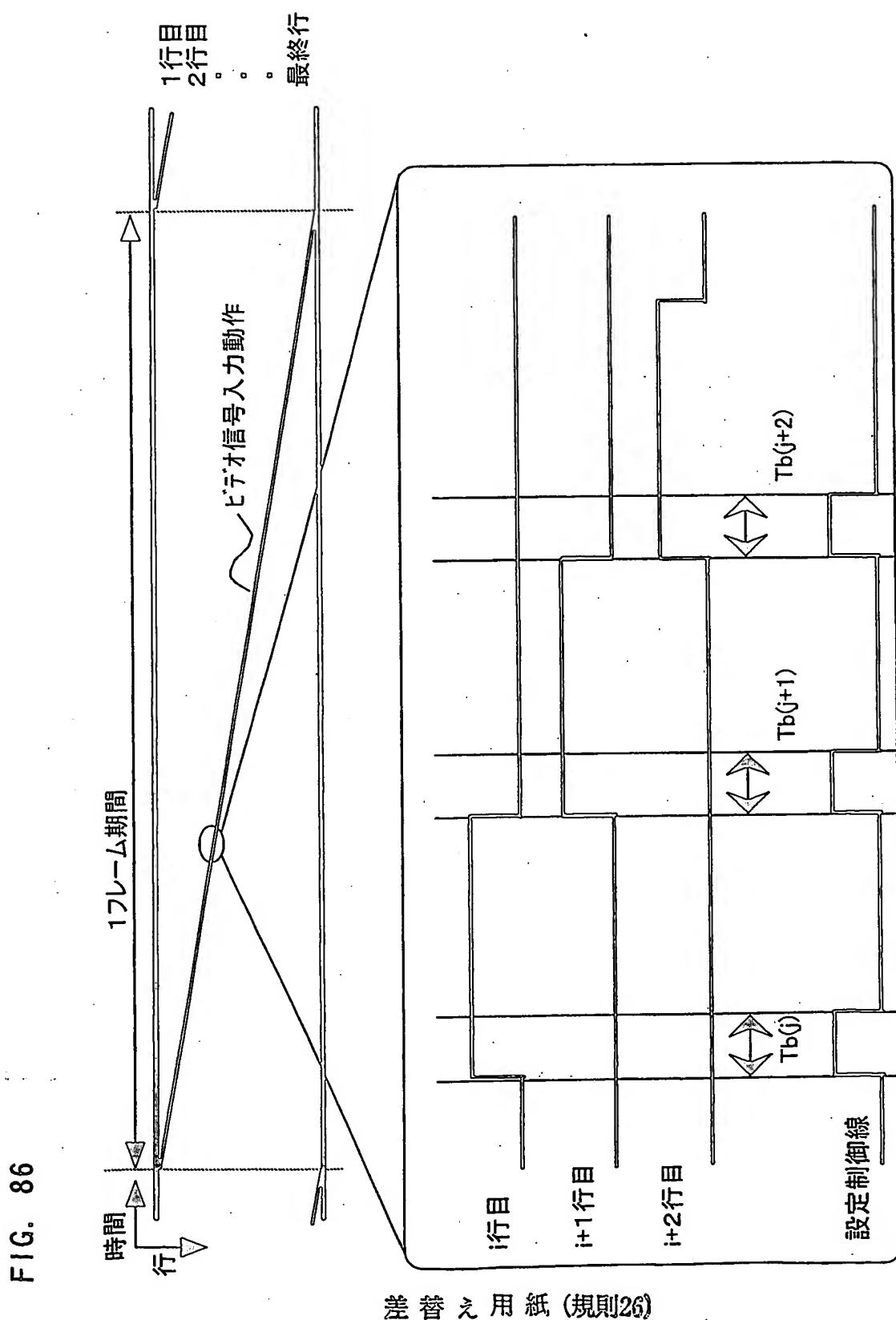
解説用語 (規則26)

79/82



差替え用紙 (規則26)

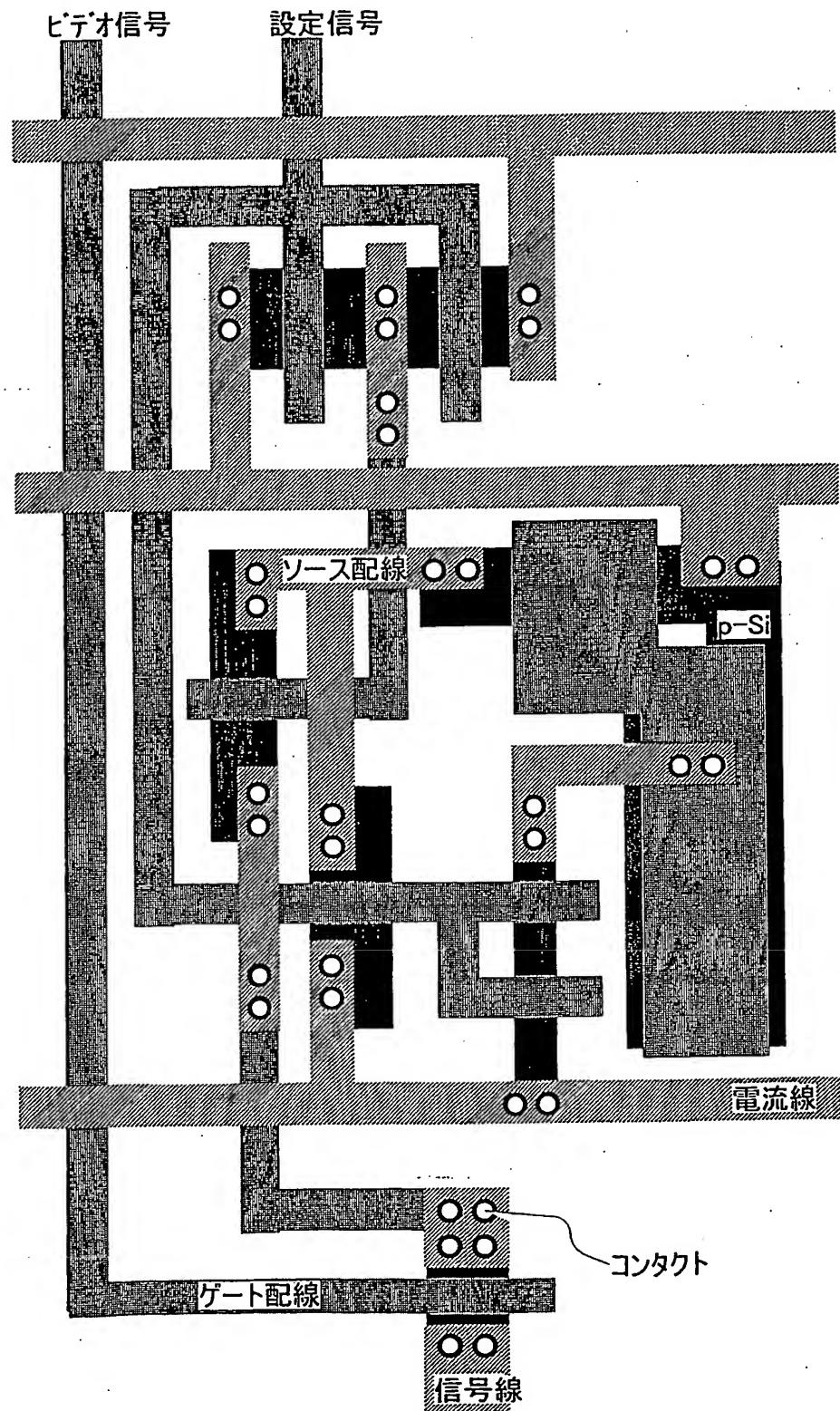
80/82



参考用紙 (規則26)

FIG. 87

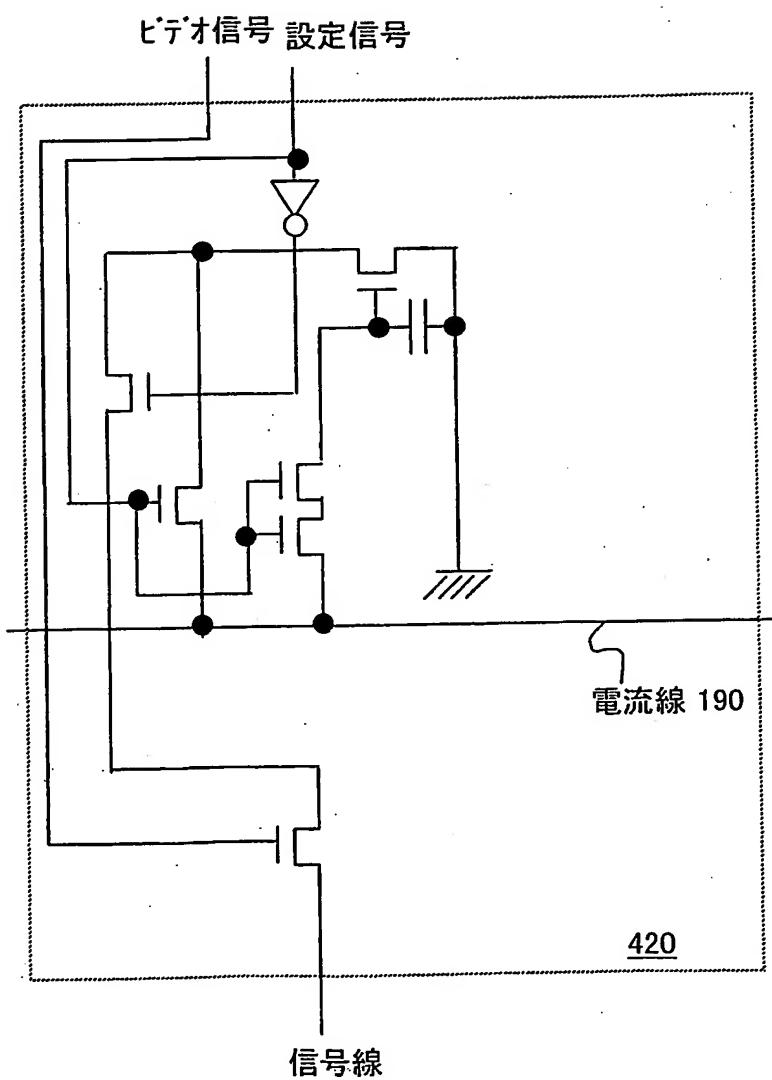
81/82



差替え用紙(規則26)

82/82

FIG. 88



差替え用紙(規則26)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/11278

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G09G3/30, 3/20, H05B33/14

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G09G3/00-3/38, H05B33/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
 Jitsuyo Shinan Koho 1926-1996 Jitsuyo Shinan Toroku Koho 1996-2003
 Kokai Jitsuyo Shinan Koho 1971-2003 Toroku Jitsuyo Shinan Koho 1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 11-45071 A (NEC Corp.), 16 February, 1999 (16.02.99), Full text; all drawings & US 6310589 B1 & US 2001/0048410 A1	1-3, 5-6, 8-9, 11-15, 17-21, 28-38 4, 7, 10, 16, 22-27, 39
Y	WO 99/65011 A2 (KONINKLIJKE PHILIPS ELECTRONICS N.V.), 16 December, 1999 (16.12.99), Page 8, line 12 to page 11, line 8; Fig. 2 & JP 2002-517806 A	1-3, 6, 8-9, 18-21, 28-32 4-5, 7, 10-17, 22-27, 33-39
Y	JP 2001-56667 A (TDK Corp.), 27 February, 2001 (27.02.01), Par. Nos. [0022] to [0029]; Fig. 1 (Family: none)	1-3, 6, 8-9, 18-21, 28-32 4-5, 7, 10-17, 22-27, 33-39
A		

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	
"A"	document defining the general state of the art which is not considered to be of particular relevance
"E"	earlier document but published on or after the international filing date
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O"	document referring to an oral disclosure, use, exhibition or other means
"P"	document published prior to the international filing date but later than the priority date claimed
"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&"	document member of the same patent family

Date of the actual completion of the international search
06 January, 2003 (06.01.03)Date of mailing of the international search report
04 February, 2003 (04.02.03)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/11278

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-147659 A (Sony Corp.), 29 May, 2001 (29.05.01), Par. Nos. [0015] to [0017]; Fig. 1 & EP 1102234 A2	1-3, 6, 8-9, 11-15, 18-20, 33-38
A		4-5, 7, 10, 16-17, 21-32, 39
Y	JP 11-282419 A (NEC Corp.), 15 October, 1999 (15.10.99), Par. Nos. [0044] to [0054]; Fig. 1	1-3, 5-6, 8-9, 11-15, 17-20, 33-38
A	& US 6091203 A	4, 7, 10, 16-17, 21-32, 39
A	WO 98/48403 A1 (SARNOFF CORP.), 29 October, 1998 (29.10.98), Page 4, line 18 to page 5, line 31; Fig. 2 & JP 2002-514320 A & US 6229506 B1	1-39
Y	JP 9-244590 A (Toshiba Corp.), 19 September, 1997 (19.09.97), Par. Nos. [0002] to [0005]; Figs. 10 to 12 (Family: none)	2-3
A	JP 2001-34221 A (Nippon Seiki Co., Ltd.), 09 February, 2001 (09.02.01), Par. No. [0034]; Fig. 4 (Family: none)	2-4
Y	JP 2001-42822 A (Pioneer Electronic Corp.), 16 February, 2001 (16.02.01), Full text; all drawings (Family: none)	21
A		22-27
P,A	JP 2002-215095 A (Pioneer Electronic Corp.), 31 July, 2002 (31.07.02), Full text; all drawings (Family: none)	1-39
P,A	JP 2002-278497 A (Canon Inc.), 27 September, 2002 (27.09.02), Full text; all drawings (Family: none)	1-39